

І.Г. Цмоць, д.т.н., О.В. Скорохода, Б.І. Балич,
Національний університет «Львівська політехніка»

МОДЕЛЬ ТА НВІС-СТРУКТУРИ ФОРМАЛЬНОГО НЕЙРОНА ПАРАЛЕЛЬНО-ВЕРТИКАЛЬНОГО ТИПУ З ВИКОРИСТАННЯМ МУЛЬТИПЛЕКСУВАННЯ ШИН

Анотація. Розроблено модель формального нейрона паралельно-вертикального типу з використанням мультиплексування шин і синтезовано базову та НВІС-структури для її реалізації.

Анотация. Разработано модель формального нейрона параллельно-вертикального типа с использованием мультиплексирования шин и синтезированы базовая и СВИС-структуры для ее реализации.

Abstract. The model of the parallel-vertical formal neuron with multiplexing of tires has been designed. Base- and VLSI-structure for its implementation have been synthesized.

Ключові слова: формальний нейрон, нейромережа, паралельно-вертикальне опрацювання, НВІС-реалізація.

Ключевые слова: формальный нейрон, нейросеть, параллельно-вертикальная проработка, СВИС-реализация.

Keywords: formal neuron, neural networks, parallel vertical processing, VLSI-implementation.

Вступ.

На сучасному етапі розвитку нейротехнологій реального часу розширяється галузь їх застосування, більшість з яких вимагають опрацювання інтенсивних потоків даних з одночасним забезпеченням обмеження відносно габаритів, маси, енергоспоживання тощо. До таких галузей відносяться управління технологічними процесами, управління складними об'єктами та мобільні інтелектуальні робототехнічні системи.

Забезпечити дані вимоги можна шляхом апаратної реалізації ШНМ з використанням розпаралелення обробки інформації як у просторі, так і у часі. Питаннями розробки комп'ютерних систем реального часу займалися зокрема В.П. Боюн, В.В. Грицик, О.В. Палагін та ін. Недоліком даних систем є те, вони не орієнтовані на НВІС реалізацію та не забезпечують високої ефективності використання обладнання.

Забезпечити ефективну реалізацію нейроалгоритмів у вигляді НВІС можна шляхом використання вертикально-паралельних підходів до обчислення, що забезпечує зменшення кількості виводів інтерфейсу і опрацювання даних з високою швидкістю. При паралельно-вертикальній обробці використовується багатооперандний підхід з надходженням і опрацювання даних розрядними зрізами.

Аналіз відомих моделей нейронів показав, що вони не орієнтовані на НВІС-реалізацію, оскільки не ґрунтуються на елементарних арифметичних операціях і вимагають значної кількості виводів. Тому для апаратної реалізації нейромереж актуальною задачею є розроблення моделей формального нейрона паралельно-вертикального типу, що забезпечить орієнтацію моделей на НВІС-реалізацію та адаптацію нейрона до вимог конкретного застосування.

Основна частина.

Модель формального нейрона паралельно-вертикального типу з використанням мультиплексування шин. Модель формального нейрона паралельно-вертикального типу з використанням мультиплексування шин w_{ji}/x_{ji} аналітично записується так:

$$y = f_{(p-s)} \left(f_a \left(f_Z \left(f_{P_{Mi}} \left(f_{(s-p)} \left(w_{ji} \right) x_{ji} \right) \right) \right) \right) \right), \quad (1)$$

де y – вихід результату; $f_{(p-s)}: R^n \rightarrow R^1$ – функціонал паралельно-послідовного перетворення; f_a – функція активації; f_Z – підсумовування макрочасткових результатів у відповідності до формули $Z_i = 2^{-i} Z_{i-1} + P_{Mi}$, $Z_0 = 0$; $f_{P_{Mi}}$ – формування макрочасткового результату у

відповідності з формулою $P_{Mi} = \sum_{j=1}^N P_{ji}$; $f_{P_{ji}}$ – формування часткових

результатів у відповідності з формулою $P_{ji} = W_j x_{ji}$; $f_{(s-p)}: R^1 \rightarrow R^n$ – оператор послідовно-паралельного перетворення.

Структуру моделі формального нейрона паралельно-вертикального типу з використанням мультиплексування шин, яка реалізує вираз (1), подано на рис.1.

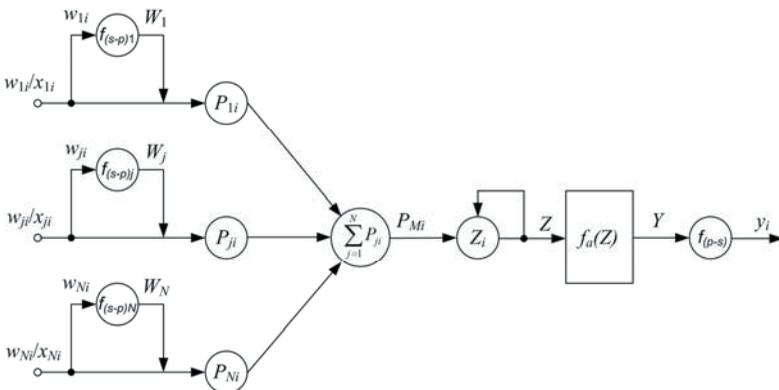


Рис. 1. Модель формального нейрона паралельно-вертикального типу з використанням мультиплексування шин

Основними компонентами даної моделі є: послідовно-паралельні перетворювачі $f_{(s-p)_j}$, формувачі часткових результатів P_{ji} ,

багатовходовий суматор $P_{Mi} = \sum_{j=1}^N P_{ji}$, підсумовувач макрочасткових

результатів $Z_i = 2^{-1} Z_{i-1} + P_{Mi}$, обчислювач функції активації $f_a(Z)$ і паралельно-послідовний перетворювач $f_{(p-s)}$. Для зменшення розрядності

підсумовувача макрочасткових результатів надходження вагових коефіцієнтів, вхідних даних і формування часткових результатів P_{ji} доцільно здійснювати з молодших розрядів. Формування часткових результатів у даній моделі може здійснюватися як прямо, так і на базі попередніх обчислень. Використання попередніх обчислень забезпечує зменшення кількості часткових результатів і, відповідно, кількості входів багатовходового суматора. Виконання попередніх обчислень суміщено в часі з послідовно-паралельним перетворенням. Для виконання таких обчислень використовуються однорозрядні суматори, кількість яких залежить від кількості пар добуток, для яких формується спільний частковий добуток. Вибір алгоритму формування спільних часткових добутоків у першу чергу визначається кількістю операндів N .

Нейроелемент паралельно-вертикального типу з мультиплексованими шинами. Для синтезу нейроелементів паралельно-вертикального типу, які реалізують модель формального нейрона з мультиплексуванням шин вхідних даних X_j та вагових коефіцієнтів W_j , які надходять по чергово розрядними зрізами (x_{ji}, w_{ji}) (1), потрібно розробити базову структуру. Цю структуру подано на рис. 2, де x_{ji}/w_{ji} – j -й мультиплексований вхід; S-P_j – j -й послідовно-паралельний перетворювач; ФЧР – формувач часткових результатів; БСМ – багатовходовий суматор; РгМЧР – регістр макрочасткових результатів; СМ – суматор; РгZ – регістр добутку; ТФФА – табличний формувач функції активації; P-S – паралельно-послідовний перетворювач; y_j – вихід нейроелемента.

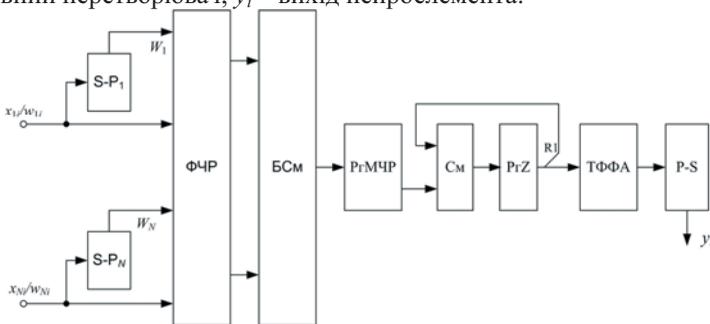


Рис. 2. Базова структура нейроелемента паралельно-вертикального типу з мультиплексованими шинами

За формуванням часткових результатів алгоритми обчислення скалярного добутку поділяються на дві групи: з прямим формуванням і з формуванням на основі попередніх обчислень [3]. Пряме формування часткових результатів здійснюється за формулою:

$$P_{ji} = \begin{cases} W_j, & \text{якщо } x_{ji} = 1 \\ 0, & \text{якщо } x_{ji} = 0 \end{cases}$$

Структуру пристрою обчислення скалярного добутку, який реалізує пряме формування часткових результатів, подано на рис. 3, де x_{1i}, \dots, x_{Ni} – інформаційні входи.

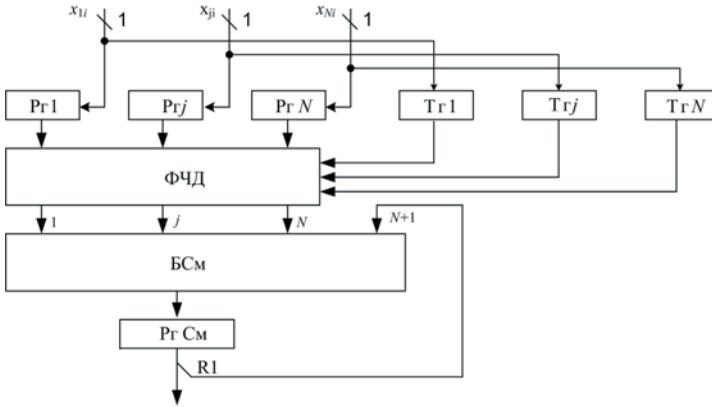


Рис. 3. Структура пристрою обчислення скалярного добутку, починаючи з молодших розрядів множників

Основними компонентами такого пристрою є: тригери T_r , регістри P_r , формувач часткових добутків ФЧД і багатовходовий суматор БСм. У кожному такті роботи такого пристрою здійснюється формування часткових добутків для всіх множників і їх додавання із попередньою сумою, зсунутою на один розряд вправо. У даному пристрої формування часткових добутків виконується за алгоритмом з аналізом одного розряду множників.

Затрати обладнання на реалізацію даного пристрою визначаються за таким виразом:

$$W_{Пр1} = (N + 1)W_{P_2} + mW_{T_2} + W_{ФЧД1} + W_{(N+1)-См},$$

де W_{P_2} , W_T , $W_{ФЧД1}$, $W_{(N+1)-См}$ – затрати обладнання відповідно на регістр, тригер, формувач часткових добутків, $(N+1)$ -вхідний суматор.

Обчислення скалярного добутку в даному пристрої виконується за $2n$ такти (n – розрядність операндів), кожний з яких рівний:

$$t_1 = t_{P_2} + t_{ФЧД1} + t_{(N+1)-С.},$$

де t_{P_2} , $t_{ФЧД1}$, $t_{(N+1)-См}$ – час спрацювання відповідно регістра, формувача часткових добутків і $(N+1)$ -входового суматора.

Використання при паралельно-вертикальному обчисленні скалярного добутку алгоритмів формування часткових добутків з аналізом двох і більше розрядів множників X_j не забезпечує підвищення швидкодії, а тільки збільшує витрати обладнання. Підвищення швидкодії при обробці неперервних потоків даних можна досягнути суміщенням процесів формування та накопичення макрочасткових добутків для k -го масиву з введенням множених W_j для $(k+1)$ -го масиву даних [4, 5].

Зменшити кількість часткових добутків при обчисленні скалярного добутку з молодших розрядів можна, використовуючи *метод формування макродобутків на базі попередніх обчислень* [6, 7]. Під час реалізації даного методу попередні обчислення виконуються на базі однорозрядних суматорів у процесі введення вагових коефіцієнтів W_j . Під час формування часткового добутку для двох і більше пар добутків використовуються попередні обчислення, кількість яких залежить від пар добутків, для яких формується частковий добуток. Кількість додаткових однорозрядних суматорів визначається за таким виразом:

$$h = \frac{N}{v} 2^v - (v + 1),$$

де v – кількість пар добутків, для яких формується спільний частковий результат.

Формування часткового результату для двох пар добутків виконується за таким виразом:

$$P_{li} = \begin{cases} 0, & \text{якщо } x_{(2l-1)i} = x_{2li} = 0 \\ W_{2l-1}, & \text{якщо } x_{(2l-1)i} = 1, x_{2li} = 0 \\ W_{2l}, & \text{якщо } x_{(2l-1)i} = 0, x_{2li} = 1 \\ W_{2l-1} + W_{2l}, & \text{якщо } x_{(2l-1)i} = x_{2li} = 1 \end{cases}, \quad (2)$$

де $l=1, \dots, N/2$.

Використання алгоритму формування часткових результатів за формулою (2) вдвічі зменшує кількість часткових результатів і, відповідно, кількість входів багатовходового суматора. Структура пристрою, який працює за даним алгоритмом, наведено на рис. 4, де S_m – суматор; БлПОР₁, ..., БлПОР_{N/2} – блоки попередніх обчислень і регістрів, K_m – комутатор. На структуру цього пристрою отримано патент України на корисну модель [8].

Затрати обладнання на реалізацію пристрою обчислення скалярного добутку на базі попередніх обчислень визначаються за таким виразом:

$$W_2 = (1,5N + 1)W_{P_2} + 1,5NW_{T_2} + 0,5NW_{K_{M4-1}} + W_{(0,5N+1)-C_M} + 0,5NW_{C_{M1}},$$

де W_{P_2} , W_{T_2} , $W_{K_{M4-1}}$, $W_{(0,5N+1)-C_M}$, $W_{C_{M1}}$ – затрати обладнання відповідно на регістр, тригер, чотири вхідний n розрядний комутатор, $(0,5N+1)$ -вхідний суматор і однорозрядний суматор.

Обчислення скалярного добутку в даному пристрої виконується за $2n$

такти, кожний з яких дорівнює:

$$t_2 = t_{P_2} + t_{K_{M4-1}} + t_{(0,5N+1)-C}$$

де t_{P_2} , $t_{K_{M4-1}}$, $t_{(0,5N+1)-C}$ – час спрацювання відповідно регістра, формувача часткових добутоків і $(N+1)$ -вхідного суматора.

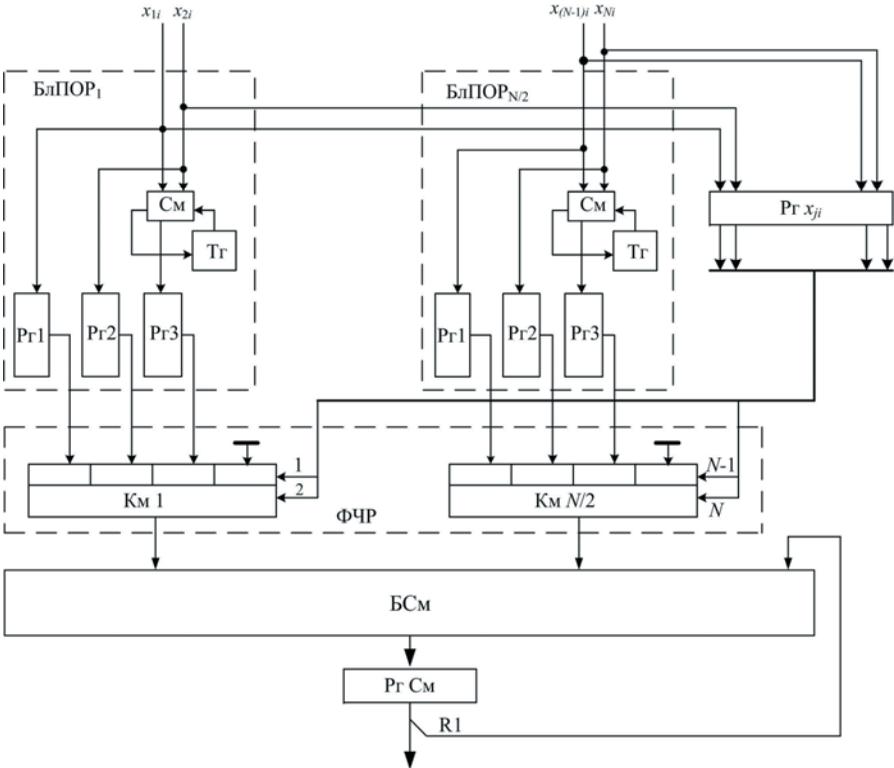


Рис. 4. Структура пристрою обчислення скалярного добутку на базі попередніх обчислень

У разі збільшення кількості пар добутоків, для яких формується частковий результат, зростає кількість попередніх обчислень і зменшується кількість входів багатовходового суматора. Вибір кількості пар добутоків, для яких необхідно формувати частковий результат, залежить передусім від кількості пар добутоків N .

Висновки.

1. Відомі моделі нейронів не орієнтовані на НВІС-реалізації, оскільки не ґрунтуються на елементарних арифметичних операціях і вимагають значної кількості виводів.
2. Особливістю моделей формального нейрона паралельно-

вертикального типу є порозрядне надходження та опрацювання вхідних даних і вагових коефіцієнтів, таблична реалізація функції активації і порозрядне формування результату.

3. За формуванням часткових результатів алгоритми обчислення скалярного добутку поділяються на дві групи: з прямим формуванням і з формуванням на основі попередніх обчислень

1. *Haykin S. Neural networks and learning machines. Third Edition. / S. Haykin. – New York: Prentice Hall, 2009. – 936 p.*
2. *Руденко О.Г., Бодяньський Є.В. Штучні нейронні мережі / О.Г. Руденко, Є.В. Бодяньський. – Харків: ТОВ «Компанія СМІТ», 2006. – 404 с.*
3. *Цмоць І.Г. Методи та НВІС-структури пристроїв паралельно-вертикального обчислення сум парних добутків / І.Г. Цмоць, Б.І. Балич, О.В. Скорохода // Відбір і обробка інформації. – Львів, 2011. – № 33 (109). – С. 109–116.*
4. *Шальто А.А. Методы аппаратной и программной реализации алгоритмов / А.А. Шальто. – СПб.: Наука, 2000 – 780 с.*
5. *Боян В.П. Динамическая теория информации. Основы и приложения. / В.П. Боян. – К.: Ин-т кибернетики им. В.М. Глушкова НАН Украины, 2001. – 326 с.*
6. *Цмоць І.Г. Принципи розробки і оцінка основних характеристик високопродуктивних процесорів на надвеликих інтегральних схемах / І.Г. Цмоць // Вісник Державного університету “Львівська політехніка”: Комп’ютерна інженерія та інформаційні технології. – Львів, 1998. – № 349. – С. 5–11.*
7. *Карцев М.А. Вычислительные системы и синхронная арифметика / М.А. Карцев, В.А. Брик. – М.: Радио и связь, 1981. – 358 с.*
8. Пат. № 66138, Україна, МПК G06F 7/38. Пристрій для обчислення сум парних добутків: Патент на корисну модель / І.Г. Цмоць, О.В. Скорохода; заявник і патентовласник Національний університет «Львівська політехніка». – № u201106811; заявл. 30.05.2011; опубл. 26.12.2011, Бюл. № 24. – 8 с.

Поступила 14.02.2013р.

УДК 004.451.7.031.43

І.Г. Цмоць, д.т.н., проф., Д.Д. Пелешко, д.т.н., проф., А.В. Шкодин, аспірант, Національний університет “Львівська політехніка”

ВИКОРИСТАННЯ МЕТОДУ ТРИАНГУЛЯЦІЇ У РОБОТОТЕХНІЧНИХ СИСТЕМАХ СТЕРЕОБАЧЕННЯ

Адаптовано та використано класичний триангуляційний метод побудови карти глибин сцени спостереження для розробки ефективних програмно-апаратних засобів технічного зору в мобільних робототехнічних системах реального часу.

Адаптировано и использовано классический триангуляционный метод построения карты глубины сцены для разработки эффективных программно-