

А. О. Мельник, Л. О. Цигилик, М. В. Майстренко
Національний університет “Львівська політехніка”,
кафедра електронних обчислювальних машин,
НВП “Інтрон”

ІНСТРУМЕНТАЛЬНІ ЗАСОБИ ДЛЯ ДОСЛІДЖЕННЯ ХАРАКТЕРИСТИК ПРОЦЕСОРІВ ОПРАЦЮВАННЯ СИГНАЛІВ, ГЕНЕРОВАНИХ СИСТЕМОЮ ВИСОКОРІВНЕВОГО СИНТЕЗУ “ХАМЕЛЕОН”

© Мельник А. О., Цигилик Л. О., Майстренко М. В., 2015

Висвітлено принципи побудови інструментальних засобів для дослідження характеристик процесорів опрацювання сигналів, генерованих системою високорівневого синтезу “Хамелеон” та імплементованих у ПЛІС, що розміщена на платформі DE1-SoC фірми Altera. Подано структуру та описано організацію роботи інструментальних засобів та їх компонентів, зокрема послідовність синтезу та імплементції у ПЛІС процесорів опрацювання сигналів. Сформовано порядок проведення досліджень характеристик процесорів опрацювання сигналів, генерованих системою високорівневого синтезу “Хамелеон”, на створених інструментальних засобах. Описано етапи дослідження процесора опрацювання сигналів на прикладі процесора швидкого перетворення Фур’є та виконано оцінювання його реальної продуктивності в різних варіантах реалізації, а саме за різної кількості задіяних паралельних АЛУ процесора.

Ключові слова: інструментальні засоби, високорівневий синтез, спеціалізовані процесори, реальний масштаб часу, процесори опрацювання сигналів ШПФ, ПЛІС, продуктивність процесора.

TOOLKIT FOR CHARACTERISTICS INVESTIGATION OF THE DIGITAL SIGNAL PROCESSORS GENERATED BY CHAMELEON© C2HDL DESIGN TOOL

© Melnyk A., Tsyhylyk L., Maystrenko M., 2015

Design principles of toolkit for characteristics investigation of the digital signal processors generated by Chameleon© C2HDL design tool and implemented to the FPGA of Altera DE1-SoC platform are considered. The structure and organization of toolkit and its components, including the digital signal processor synthesis and implementation in FPGA flow are described. The chain of DSP performance investigation which are generated by the Chameleon© C2HDL design tool using toolkit is formed. As an example the stages of FFT processor investigation are considered and its performance for different number of ALU’s is estimated.

Key words: toolkit, high-level synthesis, application-specific processors, real time, digital signal processors, FFT, FPGA, processor throughput.

Вступ

Система “Хамелеон” призначена для синтезу програмних моделей спеціалізованих процесорів із алгоритму, поданого мовою високого рівня (Сі). Продуктивність спеціалізованого процесора задають перед початком його синтезу системою “Хамелеон”.

У цій роботі висвітлено принципи побудови інструментальних засобів для дослідження характеристик процесорів опрацювання сигналів, генерованих системою високорівневого синтезу “Хамелеон” та імплементованих у ПЛІС, розміщеній на платформі DE1-SoC фірми Altera. Описано етапи дослідження процесора опрацювання сигналів (ПОС) на прикладі процесора швидкого перетворення Фур’є (ШПФ) та виконано порівняння його продуктивності в різних варіантах реалізації (за різної кількості задіяних паралельних АЛП процесора). Технічні характеристики процесора досліджено за допомогою спроектованих інструментальних засобів, в яких передбачено використання даних з двох джерел інформації: з АЦП (опрацювання реального сигналу, поданого на платформу) та з файла сигналу (сформованого в середовищі Matlab та переданого на платформу через інтерфейс UART).

Огляд літературних джерел

У роботі [1] описано систему “Хамелеон” та її тестування на прикладі синтезу за її допомогою процесора ШПФ, а також його використання як спеціалізованого прискорювача універсального процесора ПК. У роботі [2] розглянуто етапи проектування такого прискорювача. Для дослідження автори вибрали два підходи до виконання алгоритму ШПФ: на універсальному процесорі ПК та на прискорювачі, який згенеровано системою “Хамелеон”, в парі з універсальним процесором, підключеними через шину PCI Express. Вхідні дані алгоритму отримували з файла. Як апаратна платформа прискорювача використана ПЛІС сім’ї Virtex4 фірми Xilinx.

У роботі розглянуто створення інструментальних засобів для дослідження характеристик процесорів опрацювання сигналів, генерованих системою високорівневого синтезу “Хамелеон”. Ці процесори імплементують у ПЛІС, яка розміщена на платформі DE1-SoC фірми Altera. Вхідні сигнали на платформу подають ззовні за допомогою генератора. Згенерований сигнал опрацьовується за допомогою АЦП та подається на процесор опрацювання сигналів. Також можливе використання вхідних даних, що зберігаються у файлі. Завантаження вхідних даних з файла здійснюється за допомогою програми ПК та контролера UART на ПЛІС DE1-SoC.

Мета роботи

Метою роботи є створення засобів для дослідження характеристик генерованих системою “Хамелеон” процесорів опрацювання сигналів, що передбачає розроблення VHDL-оболонки, яка повинна:

- забезпечувати два режими отримання вхідного сигналу: з АЦП та з UART;
- забезпечувати можливість роботи процесора опрацювання сигналів у реальному масштабі часу;
- подавати на процесор опрацювання сигналів необхідну тактову частоту;
- подавати на процесор опрацювання сигналів вхідний сигнал згідно з вимогами виконаного процесором алгоритму;
- опрацьовувати вихідні дані процесора опрацювання сигналів;
- виводити результати роботи процесора опрацювання сигналів у зручному для сприйняття вигляді.

1. Платформа для побудови інструментальних засобів

DE1-SoC ([3]) є сучасною платформою для проектування апаратних засобів вбудованих систем різного характеру та ступеня складності. Вона побудована на основі мікросхеми типу “Система на кристалі” (SoC) моделі 5CSEMA5F31C6N, сім’ї Cyclone V, фірми Altera, яка містить процесор Cortex-A9 та програмовану логічну інтегральну схему (ПЛІС) для забезпечення максимальної гнучкості проектів. Користувач може поєднати переваги репрограмованої логіки та обчислювальну потужність і низьке споживання комп’ютерної системи. В SoC фірми Altera інтегроване фізичне ядро комп’ютерної системи, яке складається з процесора архітектури ARM, периферійних вузлів та інтерфейсів пам’яті, і яке зв’язується з ПЛІС для передавання даних. Платформа DE1-SoC також містить високошвидкісну пам’ять типу DDR3, відео- та аудіо-устаткування, обладнання Ethernet тощо.

Всі периферійні пристрої платформи DE1-SoC можна поділити на дві групи: ті, що під’єднані до ПЛІС, та ті, що під’єднані до процесора Cortex-A9. На рис. 1 наведено фрагмент структурної схеми DE1-SoC, елементи якої можуть використовуватися ПЛІС.

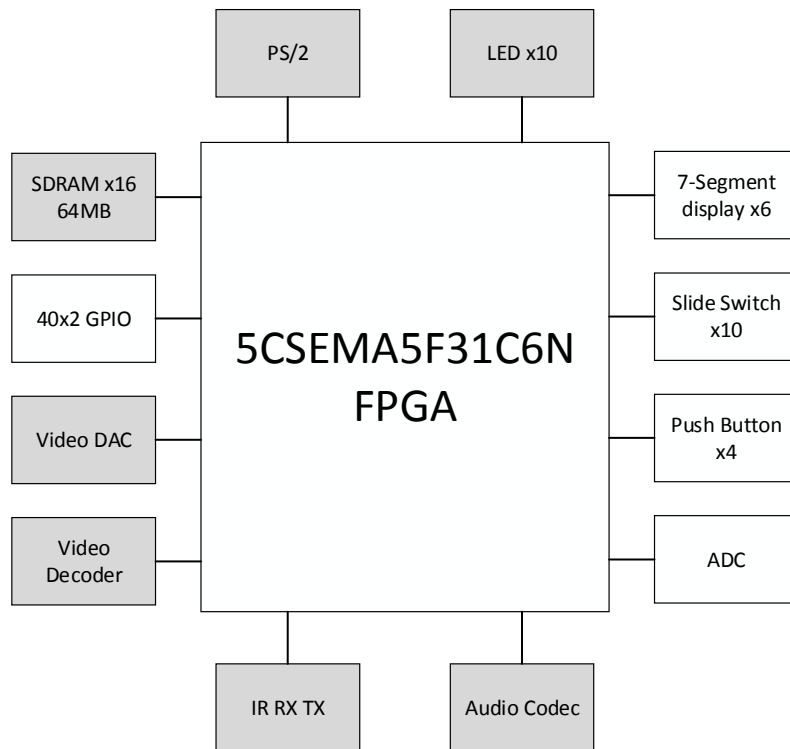


Рис. 1. Фрагмент структурної схеми платформи DEI-SoC

Відповідно до рис. 1, ключовими елементами платформи є:

- 40x2 GPIO – набір ліній введення/виведення, дві з яких використовуватимуться для під’єднання адаптера USB-UART для передавання вхідного сигналу з комп’ютера на пристрій через UART;
- Push Button x4 – набір з чотирьох клавшів, одна з яких використовуватиметься як джерело сигналу “RESET”;
- Slide Switch x10 – набір з десяти перемикачів, один з яких буде використовуватись для перемикання джерела вхідних сигналів (АЦП та UART);
- 7-Segment Display x6 – набір семисегментних індикаторів, які відобразять результати роботи процесора;
- ADC – АЦП для перетворення в цифрову форму вхідного сигналу.

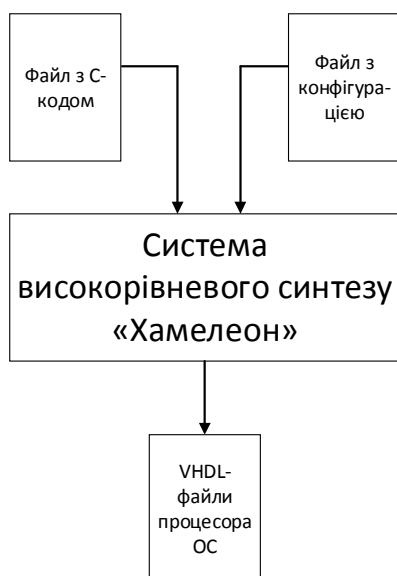


Рис. 2. Схема перетворення даних у системі “Хамелеон”

2. Генерування процесорів опрацювання сигналів за допомогою системи “Хамелеон”

“Хамелеон” дає змогу генерувати процесори опрацювання сигналів наперед заданої продуктивності з алгоритму, поданого мовою С. На рис. 2 зображена схема перетворення даних у системі “Хамелеон”.

Отримуючи на вхід С-програму та файл конфігурації (в якому вказується продуктивність генерованого процесора – кількість АЛП, що паралельно працюють, розрядність даних), система “Хамелеон” генерує VHDL-описи процесора, які імплементують у ПЛІС різних моделей за допомогою САПР, наданих їх виробниками (Altera Quartus, Xilinx ISE тощо).

3. Інтерфейс процесора опрацювання сигналів

Процесор опрацювання сигналів – це спеціалізований процесор [1], який виконує алгоритми цифрового опрацювання сигналів у реальному масштабі часу. На рис. 3 показано інтерфейс процесора опрацювання сигналів:

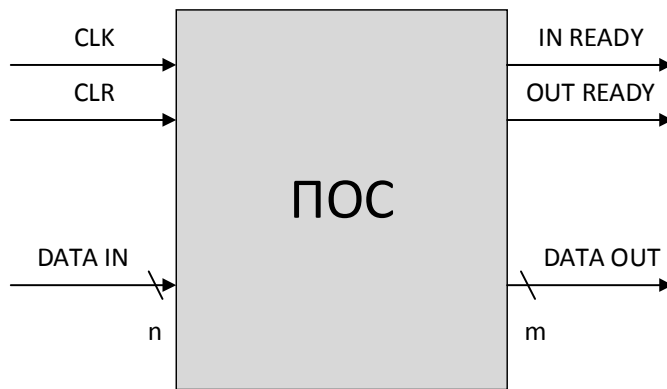


Рис. 3. Інтерфейс ПОС:

CLK – вхідний синхросигнал; *CLR* – вхідний сигнал скиду;

DATA IN – *n*-розрядні вхідні дані;

IN READY – вихідний сигнал запиту вхідних даних;

OUT READY – вихідний сигнал готовності вихідних даних;

DATA_OUT – *m*-розрядні вихідні дані

Дані на процесор подають послідовно *n*-розрядними словами за високого рівня сигналу *IN READY*. Вихідні дані, за цим самим принципом, отримують з процесора за високого рівня сигналу *OUT READY*. Процесор опрацьовує сигнали циклічно в режимі реального часу. Процес виконання можна поділити на три етапи: отримання вхідних даних, виконання алгоритму, видавання результатів.

Загальна кількість команд та швидкість виконання алгоритму безпосередньо залежать від його складності.

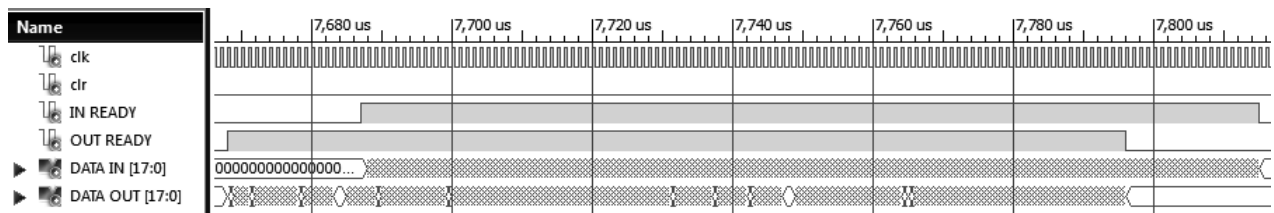


Рис. 4. Приклад часової діаграми взаємодії з процесором ШПФ, генерованим системою “Хамелеон”

У випадку з процесором ШПФ *n*-розрядні дані подаються та отримуються послідовно парами, що складаються з дійсної та уявної частин.

4. Структура та організація роботи інструментальних засобів

4.1. Структура інструментальних засобів

Як процесори для проведення досліджень вибрано процесори ШПФ розмірністю 64 та 128 за різних показників швидкодії (різної кількості АЛП, що паралельно працюють). Перелік цих процесорів наведено в табл. 1.

Таблиця 1

Перелік досліджуваних процесорів ШПФ

Назва	1FM	2FM	4FM	7FM	8FM	10FM	13FM	15FM
Розрядність даних	18							
Кількість точок	64/128							
Кількість АЛП	1	2	4	7	8	10	13	15
Кількість операцій для виконання алгоритму	1900/ 4444	1015/ 2350	575/ 1290	388/ 855	352/ 786	311/ 680	190/ 587	180/ 393

Наведені процесори досліджувалися на предмет обмежень діапазонів частот сигналів, що опрацьовуються (вхідних сигналів).

На рис. 5 наведено функціональну схему інструментальних засобів для дослідження характеристик для процесора 64-точкового ШПФ з частотою дискретизації вхідного сигналу 9804 Гц.

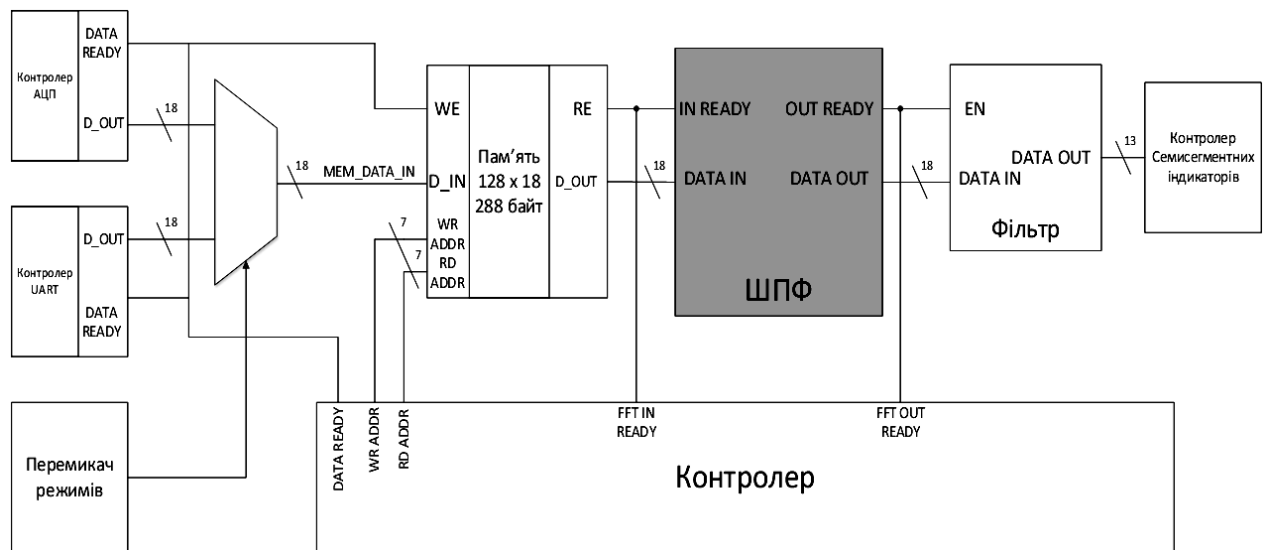


Рис. 5. Функціональна схема інструментальних засобів для дослідження характеристик процесорів 64-точкового ШПФ, генерованих системою “Хамелеон”

Двопортова пам'ять об'ємом 288 байт (128×18) заповнюється в міру надходження вхідного сигналу з АЦП чи UART. У разі заповнення пам'яті вона перезаписується від початку для забезпечення процесора даними у реальному часі (за це відповідає контролер). А процесор за один цикл своєї роботи послідовно вчитує весь об'єм пам'яті та опрацьовує його. Фільтр опрацьовує вихідні дані й виводить результат на семисегментний індикатор. Фільтр вихідних даних процесора ШПФ можна описати формулою:

$$FREQ = \left\{ \begin{array}{l} MAX(\sqrt{REAL^2 + IMAG^2})_i \rightarrow \\ \rightarrow i \cdot \frac{T_{Sample}}{m} \end{array} \right\},$$

де *REAL* – дійсна частина; *IMAG* – уявна частина; *MAX()* – максимальне значення із усіх відліків; *i* – порядковий номер відліку; *T_{Sample}* – частота дискретизації; *m* – кількість відліків (точок).

Тобто фільтр отримує результати і шукає порядковий номер пари, сума квадратів елементів якої є найбільшою, множить на заокруглене до цілого число, отримане за допомогою ділення частоти дискретизації на кількість точок алгоритму ШПФ. Отже, на семисегментних індикаторах відображається частота поданого на платформу сигналу.

4.2. Аналогово-цифрове перетворення

Для забезпечення отримання сигналу ззовні використано АЦП платформи DE1-SoC та у складі ПЛІС платформи розроблено контролер роботи з цим перетворювачем.

Модель АЦП – AD7928 фірми Analog Devices ([4]).

Інтерфейс контролера АЦП показано на рис. 6.

Для забезпечення стабільної частоти дискретизації (наприклад, 9804 Гц) на контролер АЦП, незалежно від частоти роботи системи, завжди подається сигнал синхронізації частотою 5 МГц.

Контролер АЦП описаний мовою VHDL як автомат станів. Перелік станів цього автомата наведено в табл. 2.

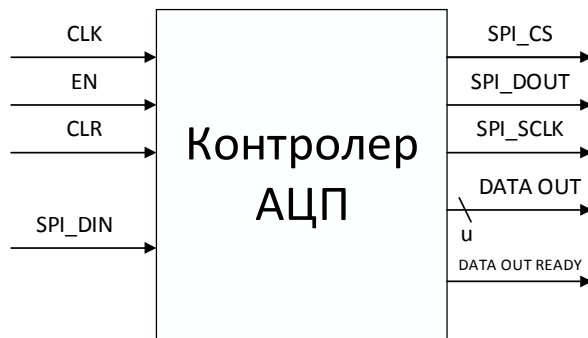


Рис. 6. Інтерфейс контролера АЦП:

CLK – вхідний синхросигнал; *EN* – сигнал ввімкнення контролера;
CLR – сигнал скиду контролера; *SPI_DIN* – вхідна лінія даних інтерфейсу *SPI*;
SPI_CS – вихідна лінія *CS* інтерфейсу *SPI*; *SPI_DOUT* – вихідна лінія даних інтерфейсу *SPI*;
SPI_SCLK – вихідна лінія синхросигналу інтерфейсу *SPI*; *DATA OUT* – вихідні дані контролера АЦП
(отримані від АЦП); *DATA OUT READY* – вихідний сигнал готовності вихідних даних

Таблиця 2

Стани контролера АЦП

Назва стану	Пояснення
reset_in	Ввімкнення та скид контролера <i>SPI</i>
reset_out	Повернення контролера <i>SPI</i> до робочого режиму
dummy1	Перший “пустий” цикл передачі даних на АЦП
dummy2	Другий “пустий” цикл передачі даних на АЦП
config	Налаштування АЦП (запис інформації до конфігураційного регістра)
readcycle	Затримка, необхідна для забезпечення частоти дискретизації 9804 Гц, читання даних з АЦП (циклічно)

VHDL-опис стану *readcycle*:

```

WHEN readcycle =>
    IF (TIME_CNT = SAMPLING_FREQ_REGULATOR and SPI_BUSY = '0' and
SPI_ENA = '0') then
        SPI_ENA <= '1';
        SPI_TXDATA <= "0000000000000000";
        TIME_CNT <= X"0000000";
        WAS_CONV <= '1';
        ADC_OUT_DATARDY <= '0';
    ELSIF (TIME_CNT /= SAMPLING_FREQ_REGULATOR) then
        TIME_CNT <= TIME_CNT + '1';
    END IF;
    state <= readcycle;

```

З опису видно, що запит до АЦП не буде виконаний, допоки лічильник “*TIME_CNT*” не дорахує до значення “*SAMPLING_FREQ_REGULATOR*”, який, своєю чергою, має значення:

```

constant SAMPLING_FREQ_REGULATOR: INTEGER := 255;
-- sampling every 51 μs (255 * 0.2 μs (CLK_IN period), but every
second sample data is filling by '0' (IM part of data = 0), so
sampling of signal RE value performing every SAMPLING_FREQ_REGULATOR *
2 * 0.2 μs = 102 μs (9804 Hz)

```

4.3. Фільтр

Інтерфейс фільтра показано на рис. 7.

Функції фільтра залежать від типу генерованого процесора опрацювання сигналів. Далі, для прикладу, мова піде про фільтр вихідних даних процесора ШПФ.

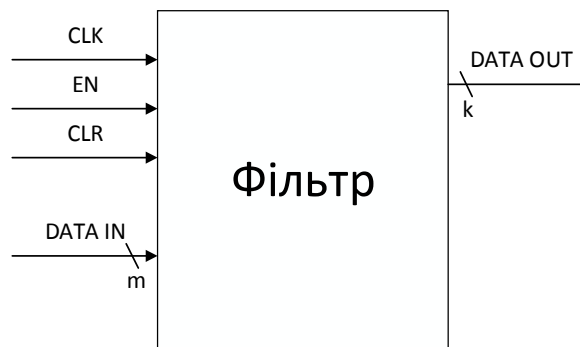


Рис. 7. Інтерфейс фільтра:

CLK – вхідний синхросигнал; *EN* – ввімкнення фільтра;
CLR – сигнал скиду фільтра; *DATA IN* – вхідні *m*-розрядні дані фільтра;
DATA OUT – вихідні *k*-розрядні дані фільтра

Фільтр знаходить порядковий номер пари даних, сума квадратів елементів якої є найбільшою серед всіх отриманих у цьому циклі. Далі знайдений порядковий номер множиться на заокруглене до цілого число, отримане за допомогою ділення частоти дискретизації на кількість точок алгоритму ШПФ. Одержане значення виводиться з фільтра на семисегментні індикатори. Отже, на індикаторах відображається частота поданого на стенд сигналу. Частота виводиться з деякою похибкою, яка зумовлена заокругленням під час обчислення.

VHDL-опис знаходження частоти вхідного сигналу:

```
if (((signed(RE_TMP) * signed(RE_TMP)) + (signed(DATA_IN) *  
signed(DATA_IN))) > M_REPLUSIMDOUBLED) then  
    M_POS <= CNT * FREQ_MULT;  
    M_REPLUSIMDOUBLED <= (signed(RE_TMP) * signed(RE_TMP)) +  
(signed(DATA_IN) * signed(DATA_IN));  
end if;  
CNT <= CNT + '1';
```

5. Порядок проведення досліджень характеристик процесорів опрацювання сигналів

На рис. 8 наведено схему взаємодії засобів для дослідження характеристик ПОС, яка демонструє принцип роботи системи загалом. На універсальному комп'ютері мовою С описують алгоритм (який в результаті буде відображено в апаратуру). Разом з конфігураційним файлом, в якому налаштовують швидкодію генерованого процесора (вибирають кількість АЛП, що паралельно працюють), розроблений С код завантажують до системи "Хамелеон", яка генерує відповідно до вхідних даних файли VHDL-описів процесора. На основі цих описів створюють під конкретну модель ПЛІС проект у САПР, наданий виробником цієї ПЛІС (Xilinx ISE, Altera Quartus тощо). До створеного проекту додають спроектовані інструментальні засоби, які забезпечують взаємодію з генерованим ПОС. Після цього проект проходить всі етапи підготовки до завантаження у ПЛІС (компіляція, синтез, імплементація тощо). В результаті отримують конфігураційну біт-послідовність, яку за допомогою САПР виробника завантажують до ПЛІС. За допомогою перемикача режимів вхідних даних вибирають, з якого джерела отримувати сигнал: з універсального комп'ютера через інтерфейс UART чи із зовнішнього генератора сигналів. У випадку використання UART на універсальному комп'ютері виконується написаний у середовищі Matlab алгоритм, який генерує файл з даними сигналу необхідної частоти. Цей файл, за допомогою

спеціально розробленої програми, пересилається через UART на ПЛІС. А на ПЛІС реалізовано UART-контролер, який дає змогу отримати надіслані комп'ютером дані та перетворити їх до потрібного формату. У випадку отримання сигналу з генератора задіюється контролер АЦП, який забезпечує одержання з мікросхеми АЦП рівня сигналу (який виставлений генератором) у поточний момент часу та перетворити ці дані до формату, необхідного для подавання їх на ПОС. Результати роботи ПОС, опосередковано, виводяться на семисегментні індикатори.

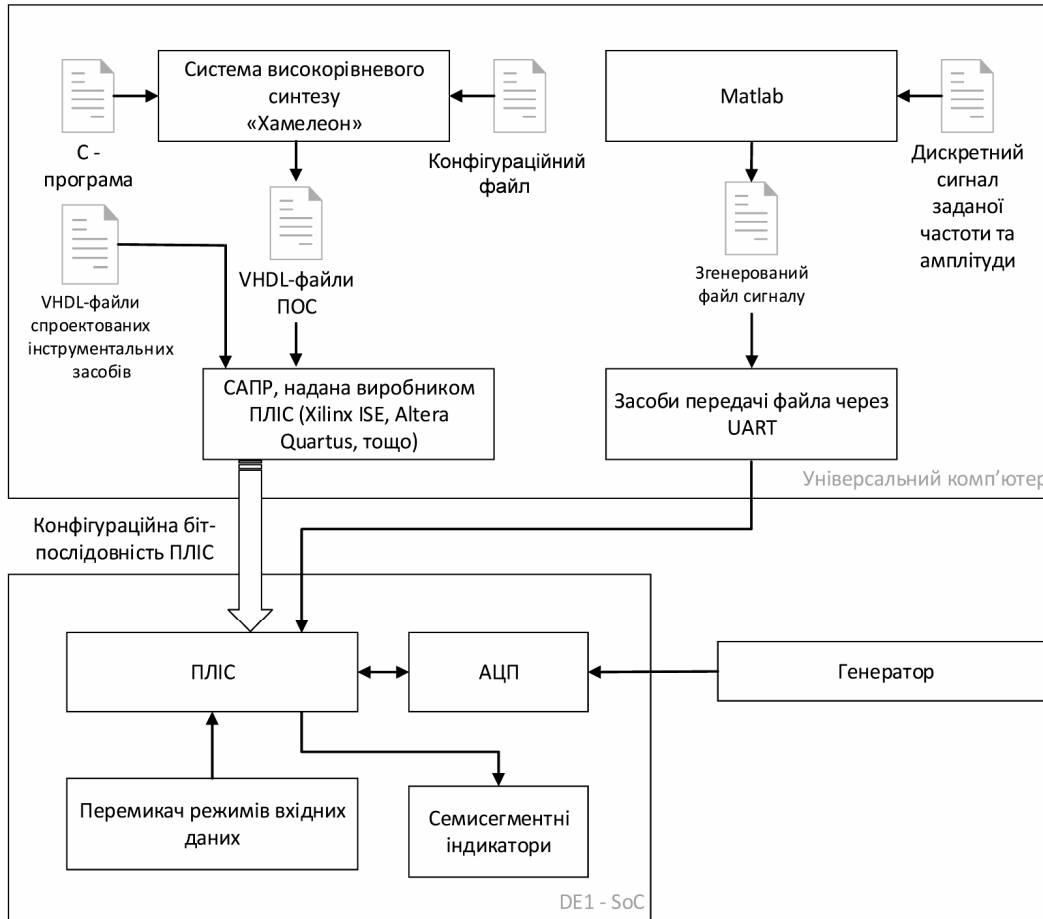


Рис. 8. Схема взаємодії засобів для дослідження характеристик ПОС

6. Результати експериментальних досліджень характеристик процесорів ШПФ

За допомогою розроблених інструментальних засобів експериментально визначено максимальну частоту вхідного сигналу 64-точкових та 128-точкових процесорів ШПФ, генерованих системою «Хамелеон». Результати досліджень наведено у табл. 3. На рис. 9 наведено фотографію платформи з результатами роботи процесора ШПФ за різних частот поданого сигналу.

Таблиця 3

Результати експериментальних досліджень характеристик процесорів ШПФ

Назва	1FM	2FM	4FM	7FM	8FM	10FM	13FM	15FM
Розрядність даних	18							
Кількість точок	64/128							
Кількість АЛП	1	2	4	7	8	10	13	15
Кількість операцій для виконання алгоритму	1900/ 4444	1015/ 2350	575/ 1290	388/ 855	352/ 786	311/ 680	190/ 587	180/ 393
Максимальна частота вхідного сигналу, МГц	14/10	25/18	48/35	58/50	69/54	71/60	100/61	101/82

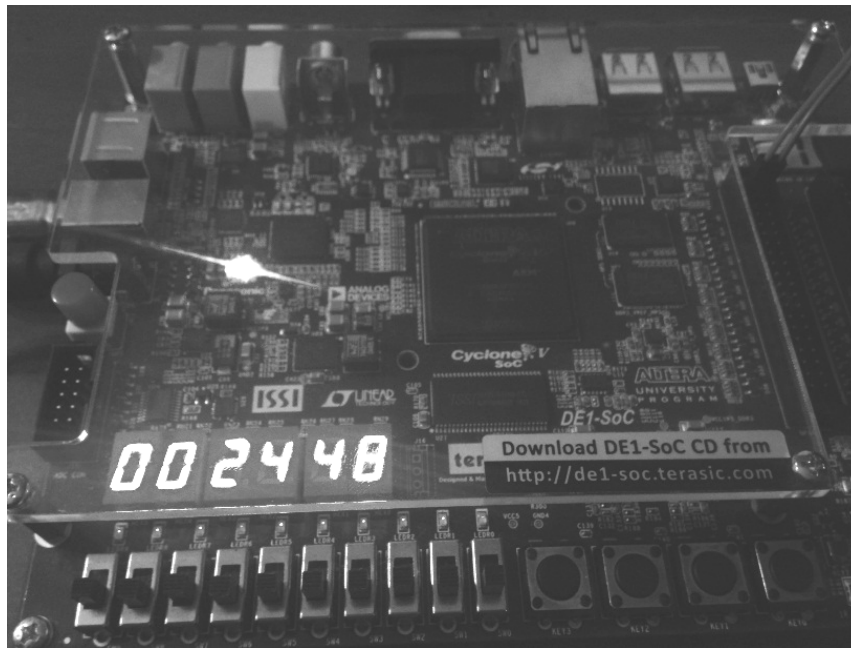


Рис. 9. Знімок інструментальних засобів з результатом роботи процесора ШПФ за частоти вхідного сигналу 2448 Гц

Висновки

У статті висвітлено принципи побудови та організації роботи інструментальних засобів для дослідження характеристик процесорів опрацювання сигналів, генерованих системою високорівневого синтезу “Хамелеон” та імплементованих у ПЛІС, розміщеній на платформі DE1-SoC фірми Altera. Зокрема:

1. Подано структуру та описано організацію роботи інструментальних засобів та їх компонентів.
2. Описано послідовність синтезу та імплементатії у ПЛІС процесорів опрацювання сигналів.
3. Сформовано порядок проведення досліджень характеристик процесорів опрацювання сигналів, генерованих системою високорівневого синтезу “Хамелеон”, на створених інструментальних засобах.
4. Описано етапи дослідження процесора опрацювання сигналів на прикладі процесора швидкого перетворення Фур’є.

Для перевірки функціонування та визначення діапазону опрацьовуваних сигналів у синтезованих процесорах за допомогою розроблених інструментальних засобів проведено оцінювання реальної продуктивності процесора швидкого перетворення Фур’є в різних варіантах реалізації, а саме за різної кількості задіяних паралельних АЛП. Визначено максимальну частоту вхідного сигналу 64-точкових та 128-точкових процесорів ШПФ.

Отже, створені інструментальні засоби дають змогу експериментально досліджувати характеристики процесорів опрацювання сигналів, генерованих системою високорівневого синтезу “Хамелеон”, та визначати діапазони опрацьовуваних сигналів у синтезованих процесорах.

1. Хамелеон – система високорівневого синтезу спеціалізованих процесорів / Мельник А., Сало А., Клименко В., Цигилик Л., Юрчук А. // *Радиоелектронні і комп’ютерні системи: наук.-техн. журнал Харківського аерокосмічного ун-ту.* – 2009. – № 5. – С. 189–194. 2. Реалізація програмних спеціалізованих процесорів у реконфігурованих прискорювачах універсальних комп’ютерів / Мельник А., Сало А., Клименко В., Цигилик Л., Юрчук А. // *Вісник Національного університету “Львівська політехніка” “Комп’ютерні системи та мережі”.* – 2009. – № 658. – С. 69–77. 3. *DE1-SoC User Manual, www.terasic.com, June 11, 2014.* 4. *AD7908/AD7918/AD7928 ADC datasheet, Analog Devices, Rev. D.*