

А. О. Мельник, М. В. Майстренко
Національний університет “Львівська політехніка”,
кафедра електронних обчислювальних машин; НВП “Інтрон”

ОПТИМІЗАЦІЙНЕ ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНИХ ПРОЦЕСОРІВ З ВИКОРИСТАННЯМ СИСТЕМИ АВТОМАТИЧНОГО СИНТЕЗУ ТА ІНСТРУМЕНТАЛЬНИХ ЗАСОБІВ

© Мельник А. О., Майстренко М. В., 2016

Досліджено ефективність застосування оптимізаційного проектування спеціалізованих процесорів з використанням системи автоматичного синтезу “Хамелеон” та інструментальних засобів фірми Altera, де під оптимізаційним проектуванням спеціалізованих процесорів розуміється синтез системою “Хамелеон” множини можливих варіантів їхніх програмних моделей, їх реалізація в ПЛІС, проведення порівняльного аналізу їх технічних характеристик та вибір оптимального варіанта за заданим критерієм. Для цього системою “Хамелеон” синтезовано множину паралельних процесорів 64-точкового та 128-точкового алгоритму ШПФ, проведено їх імплементацію у ПЛІС 5CSEMA5F31C6 фірми Altera та оцінено такі їхні характеристики: задіяні ресурси ПЛІС, продуктивність (максимальна частота роботи ПЛІС та час виконання алгоритму), а також споживану потужність. За результатами досліджень сформовано новий метод проектування спеціалізованих процесорів.

Ключові слова: автоматичний синтез, спеціалізований процесор, процесор ШПФ, ПЛІС, оптимізаційне проектування, характеристики процесора.

APPLICATION-SPECIFIC PROCESSORS OPTIMIZATION DESIGN ON C2HDL AUTOMATIC SYNTHESIS TOOL AND DESIGN KIT

© Melnyk A., aksym Maystrenko M., 2016

An efficiency of the application-specific processors (ASP) optimization design using C2HDL Chameleon tool and Altera IDE is explored. ASP optimization design supposes to perform the following actions: the set of ASP IP cores synthesis, their FPGA implementation and comparative analysis, optimal version selection according to given criterion. The set of 64-point and 128-point FFT processors are synthesized for this by Chameleon system, they are implemented in 5CSEMA5F31C6 Altera FPGA and their characteristics are estimated: resource utilization, maximal frequency, data latency and power consumption. As the result the new method of ASP design is formed.

Key words: automatic synthesis, application-specific processor, FFT processor, FPGA, optimization design, processor characteristics.

Вступ

Традиційне проектування спеціалізованих процесорів на рівні регістрових передач (архітектурному рівні) з використанням мов опису апаратних засобів VHDL та Verilog передбачає попереднє задання технічних характеристик синтезованого процесора та подальші його розроблення, синтез та відлагодження, що займає багато часу та в результаті не завжди забезпечує досягнення заданих характеристик. Поява програмних засобів для автоматичного синтезу

програмних моделей спеціалізованих процесорів із алгоритму, поданого мовою високого рівня, кардинально змінює підхід до проектування.

Система “Хамелеон” призначена для автоматичного синтезу програмних моделей спеціалізованих процесорів із алгоритму, поданого мовою високого рівня (С). Продуктивність спеціалізованого процесора задають перед початком його синтезу системою “Хамелеон”.

Описано методи та результати оптимізаційного проектування автоматично синтезованих системою “Хамелеон” спеціалізованих процесорів на прикладі процесорів швидкого перетворення Фур’є (ШПФ) з різною кількістю паралельних АЛП з використанням їх імплементації в кристали ПЛІС фірми Altera. Як критерії оптимальності вибрано продуктивність, обсяг задіяних ресурсів для синтезу процесора та споживану ним потужність.

Необхідні дані збираються при генеруванні конфігураційних файлів під обрану модель ПЛІС у середовищі проектування Altera Quartus.

Для досліджень обрано такі кристали ПЛІС: 5CSEMA5F31C6 сімейства CycloneV.

Програмне забезпечення, що використовували в дослідженнях:

- Система автоматичного синтезу спеціалізованих процесорів “Хамелеон”;
- Інструментальні засоби Altera Quartus II 64-Bit Version 13.1.0 Build 162 10/23/2013 SJ Web Edition.

Огляд літературних джерел

У монографії [1] описано засоби синтезу програмних моделей спеціалізованих процесорів, в роботі [2] – систему “Хамелеон” та синтезований за її допомогою процесор ШПФ, який використовувався як спеціалізований прискорювач універсального процесора. Автори, таким чином, порівняли продуктивність універсального процесора при виконанні алгоритму ШПФ та продуктивність системи “універсальний процесор-прискорювач”. У роботі [3] описано інструментальні засоби, призначені для дослідження генерованих системою “Хамелеон” процесорів. Засоби забезпечують синтез у ПЛІС та функціонування генерованих системою “Хамелеон” процесорів ШПФ на стенді DE1-SoC фірми Altera. Інструментальні засоби дали змогу перевірити коректність роботи генерованих процесорів та експериментально оцінити максимальну досяжну частоту опрацьовуваних вхідних сигналів.

У роботі [4] наведено результати оцінювання часу синтезу системою “Хамелеон” процесорів різної складності, які показали незаперечну перевагу її використання порівняно з традиційними технологіями синтезу.

Мета роботи

Метою роботи є дослідження ефективності застосування оптимізаційного проектування спеціалізованих процесорів з використанням системи автоматизованого синтезу спеціалізованих процесорів “Хамелеон” та інструментальних засобів фірми Altera. Під оптимізаційним проектуванням спеціалізованих процесорів розуміється синтез системою “Хамелеон” множини можливих варіантів їх програмних моделей, їх реалізація в ПЛІС, проведення порівняльного аналізу їх технічних характеристик та вибір оптимального варіанта процесора за заданим критерієм.

Для досліджень було обрано процесори 64-точкового та 128-точкового ШПФ з 1, 2, 4, 7, 8, 10, 13, 15 функціональними модулями (паралельними АЛП). Результатами досліджень є числові показники продуктивності, обсягу задіяних ресурсів та споживання обраної моделі ПЛІС у двох режимах синтезу VHDL-коду: оптимізація за площею (мінімізація задіяних ресурсів) та оптимізація за швидкістю (досягнення найбільшої частоти роботи).

Отримана інформація дасть змогу оцінити ефективність застосування оптимізаційного проектування спеціалізованих процесорів з використанням системи їх автоматизованого синтезу

“Хамелеон” та інструментальних засобів фірми Altera, а також у перспективі порівняти реалізацію на основі ПЛІС процесорів, синтезованих системою “Хамелеон”, з іншими сучасними рішеннями, що дасть можливість визначити характеристики, за якими ця система їх переважає, визначити конкурентоздатність генерованих процесорів та вкаже розробникам системи “Хамелеон” напрями, які необхідно розвивати.

1. Алгоритм ШПФ та його подання мовою С

Дискретне перетворення Фур’є (ДПФ) є одним з найуживаніших інструментів цифрового опрацювання сигналів. Воно має багато застосувань, зокрема у алгоритмах цифрової фільтрації, кореляційного та спектрального аналізу сигналів [4,5].

Для сигналу, заданого у вигляді дискретної послідовності $S(n)$, пряме та обернене ДПФ мають вигляд

$$S(k) = \sum_{n=0}^{N-1} S(n) \exp \left[-j \frac{2\pi nk}{N} \right], \quad k = \overline{0, N-1};$$

$$S(n) = \frac{1}{N} \sum_{k=0}^{N-1} S(k) \exp \left[j \frac{2\pi nk}{N} \right], \quad n = \overline{0, N-1}$$

де k – номер гармоніки, N – обсяг вибірки.

Швидке перетворення Фур’є (ШПФ), своєю чергою, – це швидкий варіант ДПФ. Полягає у математичному спрощенні та класифікації вхідної послідовності для отримання більшої швидкодії. Обчислювальна складність N -точкового ДПФ – $O(N^2)$ арифметичних операцій, обчислювальна складність ШПФ при обчисленні аналогічного набору даних – $O(N \log N)$ операцій. Існує 2 шляхи цих обчислень: з прорідженням за часом та з прорідженням за частотою. Основна ідея цих підходів полягає у поділі N -точкового ДПФ на обчислення ДПФ меншого розміру, відомі також як базові операції, або “метелики”. Розглянемо алгоритм за основою 2 [6]. На рис. 1 наведено граф алгоритму 8-точкового ШПФ.

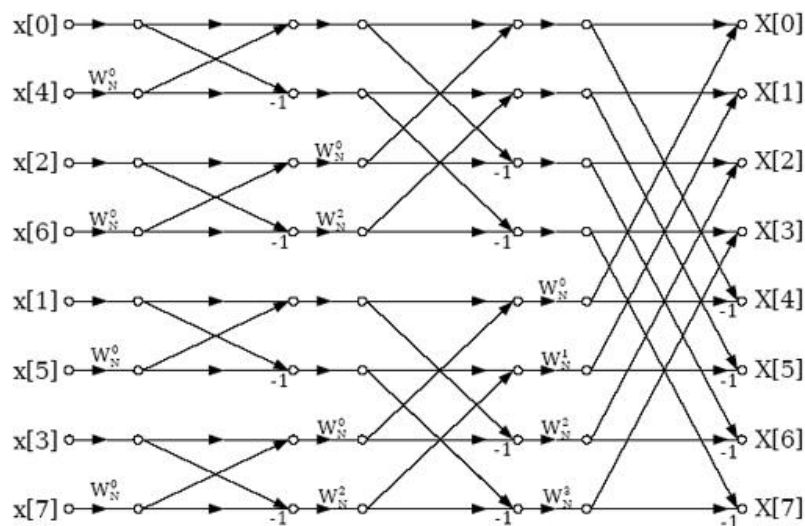


Рис. 1. 8-точковий алгоритм ШПФ за основою 2 з прорідженням за часом

Система “Хамелеон” може генерувати модель спеціалізованого процесора з алгоритму, описаного мовою С. У лістингу 1 наведено приклад С-коду 64-точкового ШПФ, призначеного для опрацювання системою “Хамелеон” (в кодї три крапки вказують, що певну кількість однотипних рядків пропущено).

С-код 64-точкового ШПФ

```

#include "inout.h"
#define nx 64 // кількість точок ШПФ

void main()
{
    int x[nx * 2]; // масив з даними розмірністю 64
    int w[nx]; // масив коефіцієнтів
    int ia, ib, i, j, k;
    int rtemp, itemp;
    int c, s;
    int n2 = nx >> 1;

    w[0] = 131071; // заповнення масиву коефіцієнтів
    ...
    w[63] = 25570;

    x[0] = in_port(1); x[1] = in_port(1); // отримувати дані поспідовно з каналу №1
    ...
    x[126] = in_port(1); x[127] = in_port(1);

    // виконання алгоритму ШПФ
    for (k = 1; k < nx; k <<= 1)
    {
        ia = 0;

        for (j = 0; j < k; j++)
        {
            c = w[2 * n2 * j];
            s = w[2 * n2 * j + 1];

            for (i = 0; i < n2; i++)
            {
                ib = ia + k;

                rtemp = (int)((__int64)c * x[2 * ib]) - (int)((__int64)s * x[2 * ib + 1]);
                itemp = (int)((__int64)c * x[2 * ib + 1]) + (int)((__int64)s * x[2 * ib]);

                x[2 * ib] = (x[2 * ia] - rtemp);
                x[2 * ib + 1] = (x[2 * ia + 1] - itemp);

                x[2 * ia] = (x[2 * ia] + rtemp);
                x[2 * ia + 1] = (x[2 * ia + 1] + itemp);

                ia += k << 1;
            }
            ia = j + 1;
        }
        n2 >>= 1;
    }

    out_port(x[0], 1); out_port(x[1], 1); // видача вихідних даних поспідовно на канал №1
    ...
    out_port(x[126], 1); out_port(x[127], 1);
}

```

За наведеним С-кодом система “Хамелеон” автоматично генерує VHDL-модель процесора 64-точкового алгоритму ШПФ заданої продуктивності (на етапі налагодження системи вказується кількість паралельних АЛП вихідного процесора).

2. Налаштування середовища синтезу процесорів на ПЛІС Altera Quartus

Для отримання точних звітів процесу генерування конфігураційного файлу ПЛІС Altera потрібно попередньо налаштувати середовище QuartusII. Для цього в меню налаштувань (Assignments ->Settings) потрібно:

- У категорії “Compilation Process Settings”, підкатегорії “Physical Synthesis Optimizations”, в графі “Effort level” вказати “Extra”. Цей параметр вказує на роботу середовища в режимі оптимізації проекту на етапі синтезу;

- У категорії “Optimization Technique” є можливість обрати мету оптимізації: за продуктивністю, збалансована та за площею кристала, тобто за затратами обладнання. У цій роботі використано оптимізації за продуктивністю та за площею.

- У категорії “FitterSettings”, в графі “Fitter effort” потрібно вказати “Standard Fit”. Цей параметр вказує на роботу середовища в режимі досягнення максимальної продуктивності проекту на ПЛІС.

Після проведення всіх етапів процесу генерування конфігураційного файлу необхідні дані отримуються в таких пунктах загального звіту:

- Інформація про кількість задіяних ресурсів – у папці “Fitter”, розділі “Summary”;
- Інформація про максимальну частоту роботи проекту на обраній ПЛІС – у папці “TimeQuestTimingAnalyzer” у розділі “Slow 1100mV 85CModel”.

3. Технічні характеристики процесорів ШПФ, реалізованих на ПЛІС фірми Altera

Під час досліджень було згенеровано 16 конфігураційних файлів для ПЛІС 5CSEMA5F31C6. Перших 8 згенеровано з застосуванням профілю оптимізації задіяних ресурсів, других 8 – із застосуванням профілю оптимізації за продуктивністю, у відповідних вказівниках програмного середовища синтезу було знято характеристики імплементованих процесорів. Результати наведено в табл. 1 та 2.

Таблиця 1

Характеристики процесорів ШПФ з різною кількістю функціональних модулів у разі їх імплементції в ПЛІС 5CSEMA5F31C6 при оптимізації за задіяними ресурсами

Назва	1FM	2FM	4FM	7FM	8FM	10FM	13FM	15FM
Розрядність даних	18							
Кількість точок	64/128							
Кількість АЛП	1	2	4	7	8	10	13	15
Кількість тактів для виконання алгоритму	1900/ 4444	1015/ 2350	575/ 1290	388/ 855	352/ 786	311/ 680	190/ 587	180/ 393
Кількість задіяних АЛМ*	1850/ 4185	2422/ 4431	3096/ 6050	4419/ 7801	4904/ 8294	6728/ 10926	9014/ 13609	10239/ 15713
Кількість задіяної блокової пам’яті (біт)	10188/ 20304	17428/ 72478	15408/ 64282	45876/ 68550	17298/ 91710	18414/ 39884	18360/ 45476	18234/ 75606
Максимальна частота (МГц)	197.32/ 154.63	204.42/ 160.77	208.81/ 163.45	170.13/ 168.55	185.05/ 163.8	167.7/ 149.23	158.91/ 131.94	143.16/ 118.6
Data latency**(µs)	9.63/ 28.74	4.97/ 14.62	2.75/ 7.89	2.28/ 5.07	1.90/ 4.80	1.85/ 4.56	1.20/ 4.45	1.26/ 3.31

* - Adaptive logic module;

** - Data latency – мінімальний час виконання алгоритму процесором під час його функціонування на максимальній частоті. Визначається як добуток мінімального періоду і кількості операцій, необхідних для виконання алгоритму.

Таблиця 2

Характеристики процесорів ШПФ з різною кількістю функціональних модулів у разі їх імплементції в ПЛІС 5CSEMA5F31C6 при оптимізації за продуктивністю

Назва	1FM	2FM	4FM	7FM	8FM	10FM	13FM	15FM
Розрядність даних	18							
Кількість точок	64/128							
Кількість АЛП	1	2	4	7	8	10	13	15
Кількість тактів для виконання алгоритму	1900/ 4444	1015/ 2350	575/ 1290	388/ 855	352/ 786	311/ 680	190/ 587	180/ 393
Кількість задіяних АЛМ	1810/ 4092	2377/ 4797	3049/ 6381	4794/ 8431	4880/ 8730	6719/ 10866	9206/ 13715	10190/ 16168
Кількість задіяної блокової пам’яті (біт)	10188/ 20304	14868/ 29214	15408/ 29466	17460/ 34758	17298/ 36414	18414/ 37836	18360/ 38052	18234/ 39510
Максимальна частота (МГц)	206.31/ 166.33	210.35/ 168.07	207.56/ 172.68	166.14/ 169.03	176.74/ 173.76	171.94/ 163.72	150.78/ 136.52	146.33/ 120.53
Data latency (µs)	9.21/ 26.72	4.83/ 13.98	2.77/ 7.47	2.34/ 5.06	1.99/ 4.52	1.81/ 4.15	1.26/ 4.3	1.23/ 3.26

Споживану потужність імплементованих процесорів вимірювали з використанням стенду та вимірювальних пристроїв. Параметр “відносне споживання” вираховували як різницю між вимірним споживанням стенду DE1-SoC разом з імплементованим процесором ШПФ та споживанням стенду DE1-SoC разом з ПЛІС без прошитою в ній процесора. Під повним споживанням мали на увазі споживання стенду DE1-SoC разом з імплементованим процесором ШПФ. Процесори синтезувались у збалансованому режимі (баланс між продуктивністю та обсягом використаних ресурсів). Результати вимірювань наведено в табл. 3.

Таблиця 3

Споживана потужність процесорів ШПФ з різною кількістю функціональних модулів у разі їх імплементції у ПЛІС 5CSEMA5F31C6

Назва	1FM	2FM	4FM	7FM	8FM	10FM	13FM	15FM
Розрядність даних	18							
Кількість точок	64/128							
Кількість АЛП	1	2	4	7	8	10	13	15
Відносне споживання (мВт)	185/ 229	229/ 273	349/ 447	545/ 647	535/ 622	709/ 796	840/ 1026	982/ 1025
Повне споживання DE1-SoC (мВт)	3709/ 3753	3753/ 3796	3873/ 3971	4069/ 4167	4058/ 4145	4233/ 4320	4364/ 4549	4505/ 4549

Також було досліджено споживану потужність процесорів на частотах, за якої продуктивність процесорів з кількома АЛП є такою самою, як продуктивність процесора з одним АЛП. Для цього в процесі вимірювань частоту роботи процесорів з кількома АЛП підбирали так, щоб його продуктивність зрівнялась з продуктивністю найповільнішого процесора (з 1 АЛП).

Таблиця 4

Споживана потужність процесорів ШПФ однакової продуктивності з різною кількістю функціональних модулів у разі їх імплементції у ПЛІС 5CSEMA5F31C6

Назва	1FM	2FM	4FM	7FM	8FM	10FM	13FM	15FM
Розрядність даних	18							
Кількість точок	64/128							
Data latency (µs)	9.31/26.38							
Кількість АЛП	1	2	4	7	8	10	13	15
Частота роботи (МГц)	204/ 168	109/ 89	62/ 49	42/ 32	38/ 30	33/ 26	21/ 22	20/ 15
Відносне споживання (мВт)	185/ 230	229/ 207	175/ 196	218/ 196	185/ 185	218/ 218	207/ 240	218/ 218
Повне споживання DE1-SoC (мВт)	3709/ 3753	3752/ 3731	3698/ 3720	3742/ 3720	3709/ 3709	3731/ 3742	3731/ 3764	3742/ 3742

4. Результати порівняльного аналізу технічних характеристик процесорів ШПФ, реалізованих на ПЛІС фірми Altera

4.1. Порівняння за затратами обладнання

На рис. 2 показано графіки залежності кількості задіяних адаптивних логічних модулів ПЛІС від кількості паралельних АЛП в 64-точковому та 128-точковому процесорах ШПФ при різних профілях синтезу (за продуктивністю та за ресурсами).

Згідно з графіками з рис. 2, кількість задіяних адаптивних логічних модулів лінійно зростає зі збільшенням кількості паралельних АЛП процесора. Кожен додатковий паралельний АЛП задіює в середньому 550 ALM у випадку 64-точкового процесора та 800 ALM – у випадку 128-точкового.

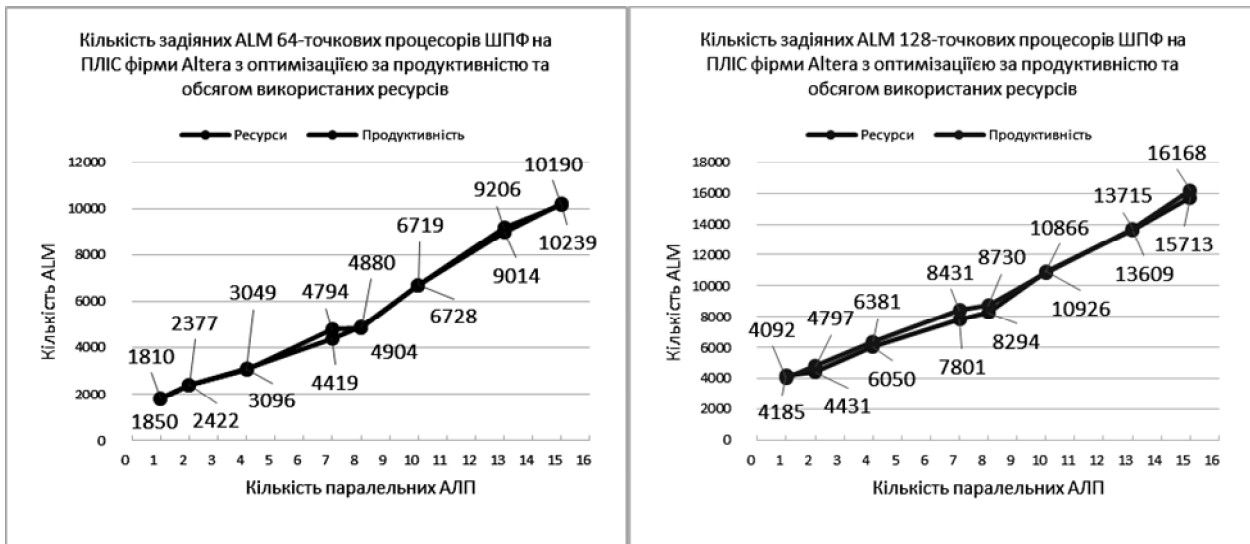


Рис. 2. Інформація про використання адаптивних логічних модулів ПЛІС 64-точковими (ліворуч) та 128-точковими (праворуч) процесорами ШПФ при різних профілях синтезу

З наведених графіків легко отримати кількість ALM для імплементації процесора з заданою кількістю АЛП. Крім того, використовуючи наведені графіки, можна вибрати процесор ШПФ найвищої продуктивності за заданих обмежень за використовуваними ресурсами.

На рис. 3 показано графіки залежності обсягу необхідної пам'яті від кількості паралельних АЛП в 64-точковому (ліворуч) та 128-точковому (праворуч) процесорах ШПФ при різних профілях синтезу (за продуктивністю та за ресурсами).



Рис. 3. Інформація про використання блокової пам'яті ПЛІС 64-точковими (ліворуч) та 128-точковими (праворуч) процесорами ШПФ при різних профілях синтезу

Як видно з побудованих графіків (рис. 3), обсяг задіяної блокової пам'яті зі збільшенням кількості АЛП пропорційно збільшується, окрім деяких процесорів, згенерованих з профілем оптимізації “за ресурсами”: де середовищу проектування вдалось зекономити певну кількість ALM, але там спостерігається великий ріст обсягу задіяної блокової пам'яті.

Для отриманих даних про кількість задіяних адаптивних логічних модулів було також пораховано показник ефективності використаного обладнання.

Ефективність використаного обладнання – це внесок одиниці обладнання в загальну продуктивність процесора. Визначається за формулою:

$$E = \frac{1}{K * T}$$

де K – кількість задіяного обладнання (в цьому випадку – кількість використаних АЛМ), T – час виконання алгоритму (Data latency). Ефективність було пораховано для кожного процесора, отримані результати відображено на рис. 4:

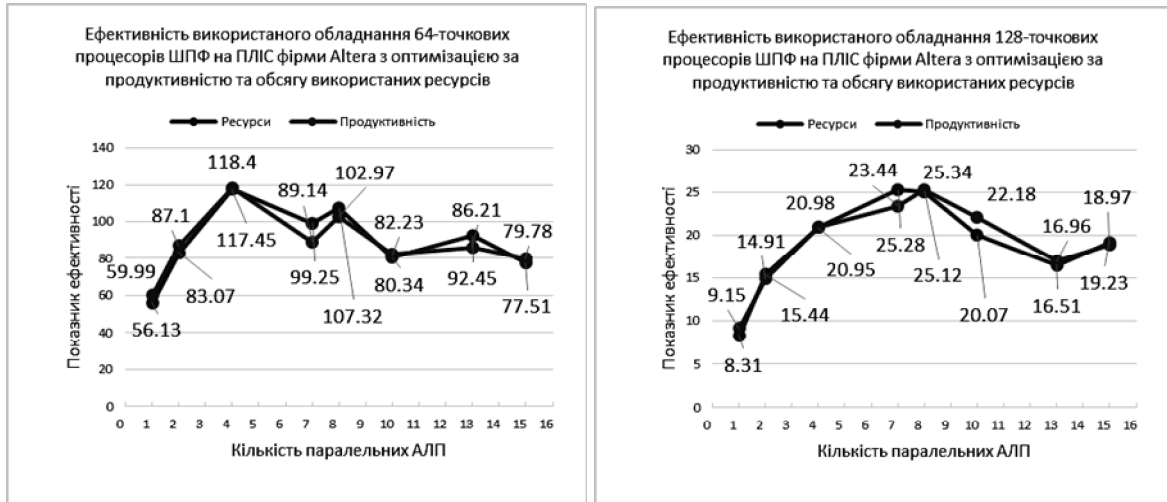


Рис. 4. Інформація про ефективність використання обладнання ПЛІС при імплементації 64-точкових (ліворуч) та 128-точкових (праворуч) процесорів ШПФ

Як видно з побудованих графіків (рис. 4), найбільшою ефективність використання обладнання серед 64-точкових процесорів є у процесора з 4-ма паралельними АЛП. Серед 128-точкових процесорів: у процесора з 7-ма АЛП при оптимізації за ресурсами та у процесора з 8-ма АЛП при оптимізації за продуктивністю.

4.2. Порівняння за споживаною потужністю

На рис. 5 показано графіки залежності споживаної потужності від кількості паралельних АЛП 64-точкового та 128-точкового процесорів ШПФ при різних профілях синтезу (за продуктивністю та за ресурсами).

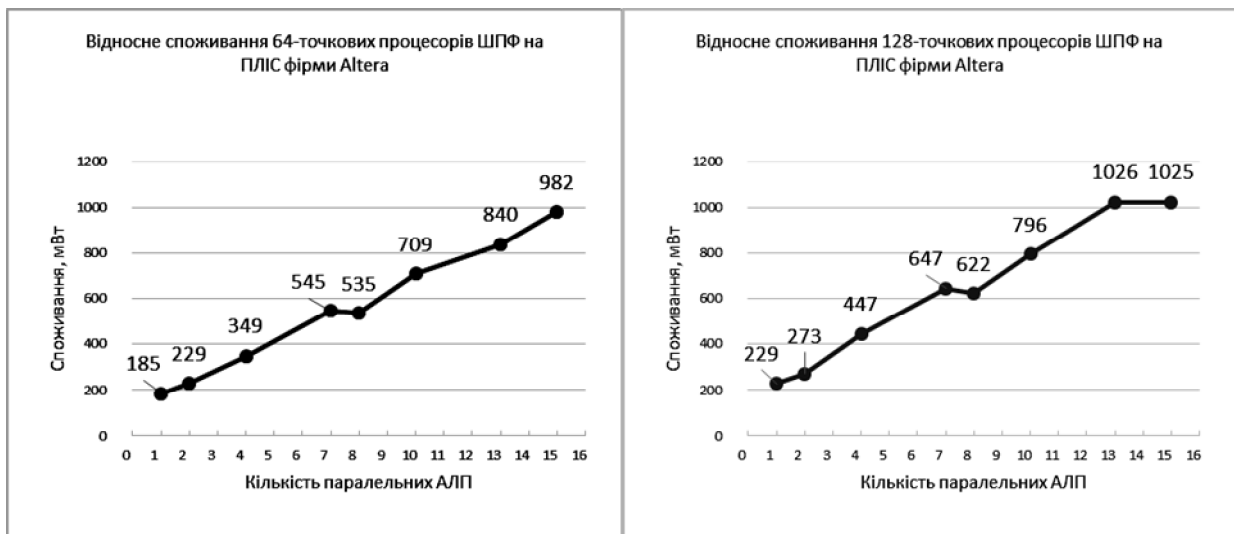


Рис. 5. Інформація про споживання ПЛІС при імплементації 64-точкових (ліворуч) та 128-точкових (праворуч) процесорів ШПФ

“Відносне споживання” вираховують як різницю виміряного споживання стенду DE1-SoC з імплентованим процесором ШПФ та споживання з мінімальною конфігурацією ПЛІС. Ця характеристика дає уявлення про динаміку зміни споживаної потужності при збільшенні кількості паралельних АЛП. Детальніші дані наведено в табл. 3.

За наведеними графіками можна оцінити споживану потужність процесорів ШПФ з різною кількістю АЛП. Більше того, як впливає з табл. 4, понижуючи частоту роботи процесора, можна суттєво зменшити його споживання, зокрема зменшивши частоту роботи процесора з 15 АЛП в 8 разів, можна довести його споживання до споживання процесора такої самої продуктивності, але з одним АЛП, який працює на максимальній частоті.

4.3. Порівняння за продуктивністю

На рис. 6 показано графіки залежності максимальної частоти роботи від кількості паралельних АЛП 64-точкового та 128-точкового процесорів ШПФ при різних профілях синтезу (за продуктивністю та за ресурсами).

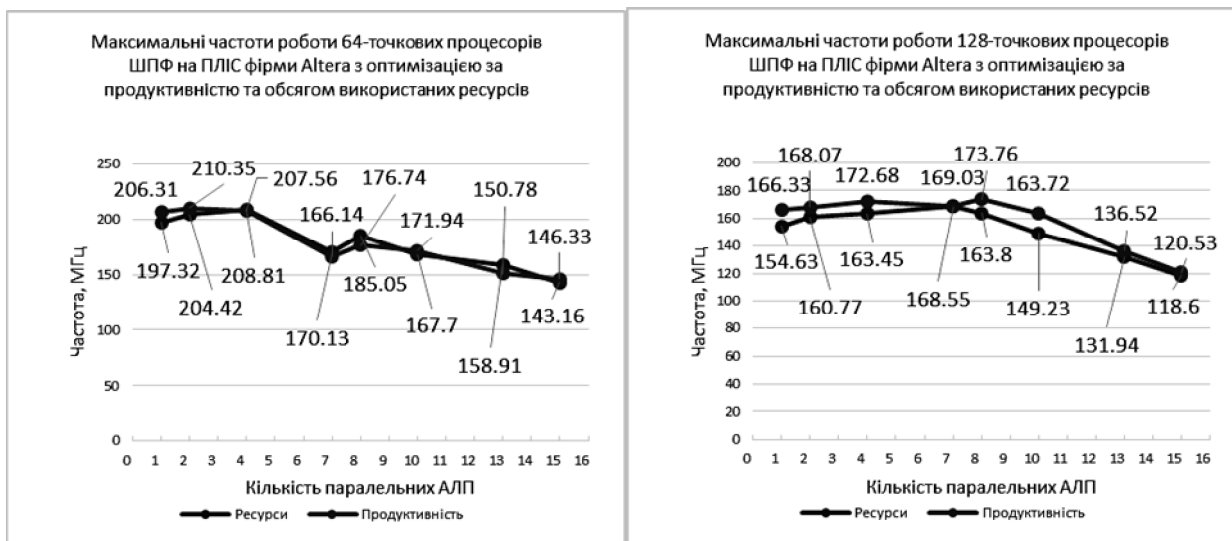


Рис. 6. Інформація про максимальні частоти роботи ПЛІС з імплемнтованими 64-точковими (ліворуч) та 128-точковими (праворуч) процесорами ШПФ при різних профілях оптимізації

Видно, що максимальна частота процесора дещо зменшується з кожним додатковим паралельним АЛП, що пояснюється потребою додавання засобів, необхідних для забезпечення паралельної роботи АЛП, які вносять додаткові часові затримки.

На рис. 7 показано графіки залежності часу виконання алгоритму ШПФ від кількості паралельних АЛП в 64-точковому та 128-точковому процесорах ШПФ при різних профілях синтезу (за продуктивністю та за ресурсами).

Знаючи потрібну продуктивність, за цими графіками можна легко визначити відповідний процесор.

Аналізуючи вищевказані графіки, можна зробити висновок, що зміна таких параметрів, як кількість АЛМ, споживання та максимальна частота, є сталою, тоді як обсяг задіяної блокової пам’яті при оптимізації за ресурсами змінюється дещо непрогнозовано: спостерігається аномальний обсяг у 64-точкового процесора з 7-ма паралельними АЛП та 128-точкових процесорах з 2, 4, 7 та 8-ма паралельними АЛП.

Найбільший приріст продуктивності (серед досліджуваних процесорів) відносно процесора з 1 АЛП серед 64-точкових та 128-точкових процесорів було досягнуто процесором з 15-ма паралельними АЛП (у 7.49 разу та 8.2 разу відповідно). Однак, найбільший внесок у прискорення відносно процесора з 1 АЛП зробив саме 2-й додатковий АЛП в обидвох випадках (64-точковому та 128-точковому) – 1.91 разу; ефективність додання наступних процесорів показала дещо гірші результати. Ці дані наведено в табл 5.

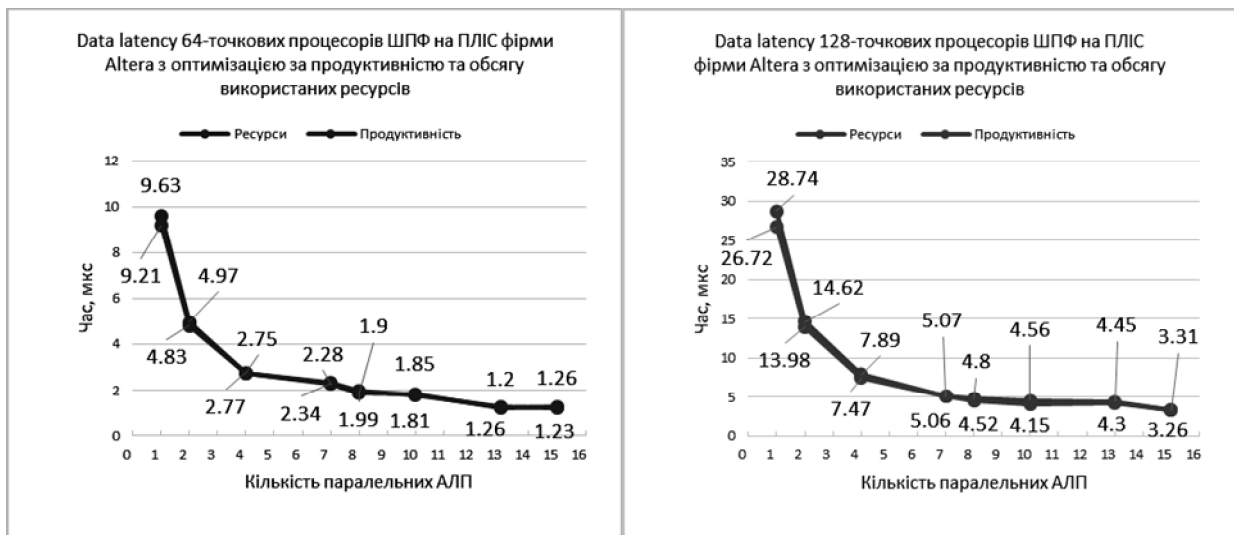


Рис. 7. Інформація про час виконання алгоритму ШПФ 64-точковим (ліворуч) та 128-точковим (праворуч) процесорами, імplementованими в ПЛІС при різних профілях оптимізації

Таблиця 5

Порівняння відносної продуктивності згенерованих процесорів

Кількість паралельних АЛП, шт.	1	2	4	7	8	10	13	15
Data latency(64-точковий/128-точковий), μ s	9.21/ 9.63	4.83/ 4.97	2.77/ 2.75	2.34/ 2.28	1.99/ 1.9	1.81/ 1.85	1.26/ 1.2	1.23/ 1.26
Прискорення виконання відносно процесора з 1 АЛП (64/128), раз		1.91/ 1.91	3.32/ 3.58	3.94/ 5.28	4.63/ 5.91	5.09/ 6.44	7.31/ 6.21	7.49/ 8.2
Прискорення на одиницю АЛП відносно попереднього відомого значення (64/128), раз		1.91/ 1.91	0.71/ 0.84	0.21/ 0.57	0.69/ 0.63	0.23/ 0.27	0.74/ -0.08	0.09/ 1

5. Плани подальших робіт

Отримані результати планується використати у наступних дослідженнях, які будуть присвячені порівнянню генерованих процесорів з аналогами, наявними на ринку обчислювальних засобів.

Дослідження також виявило основний недолік генерованих системою “Хамелеон” процесорів – вони вимагають значної кількості ресурсів ПЛІС. Наприклад, процесор 128-точкового алгоритму ШПФ з 15-ма паралельними АЛП потребує 16126 адаптивних логічних модулів (ALM) ПЛІС 5CSEMA5F31C6, що становить 50 % від кількості доступних модулів. Процесор 64-точкового алгоритму, своєю чергою, вимагає 32 % ALM. Тому існує потреба пошуку шляхів зменшення ресурсів генерованих процесорів.

Підсумовуючи вищенаведене, можна запропонувати такі кроки розвитку цього напрямку:

- порівняння характеристик процесорів ШПФ з аналогами, представленими на ринку;
- розроблення методів скорочення ресурсів ПЛІС процесорів, генерованих системою “Хамелеон”;
- проведення аналогічного дослідження для ПЛІС іншої моделі чи фірми (наприклад, Xilinx), яка кардинально відрізнятиметься від обраної у цій роботі за продуктивністю та обсягом доступних ресурсів;
- дослідження характеристик генерованих процесорів для виконання інших алгоритмів.

Висновки

Дослідженню ефективність застосування оптимізаційного проектування спеціалізованих процесорів з використанням системи високорівневого синтезу “Хамелеон” та інструментальних

засобів фірми Altera, де під оптимізаційним проектуванням спеціалізованих процесорів розуміється синтез системою “Хамелеон” множини можливих варіантів їх програмних моделей, їх реалізація в ПЛІС, проведення порівняльного аналізу їх технічних характеристик та вибір оптимального варіанта за заданим критерієм. Для цього було проаналізовано технічні характеристики процесорів 64-точкового та 128-точкового алгоритму ШПФ, генерованих системою “Хамелеон” при імплементації їх у ПЛІС 5CSEMA5F31C6 фірми Altera.

Для досліджень системою “Хамелеон” генерували процесори з 1, 2, 4, 7, 8, 10, 13 та 15-ма паралельними АЛП та оцінювали такі їхні характеристики: задіяні ресурси ПЛІС, продуктивність (максимальна частота роботи ПЛІС та час виконання алгоритму), а також споживану потужність. Інформацію про обсяг задіяних ресурсів та продуктивність було зібрано в процесі синтезу генерованих системою “Хамелеон” VHDL файлів у конфігураційну біт-послідовність ПЛІС у середовищі AlteraQuartusII. Показники споживаної потужності було виміряно за допомогою стенду DE1-SoC. Всі отримані дані наведено у табл. 1 та 2.

Результати досліджень показали, що процесор з 15 паралельними АЛП потребує у 4 рази більше обладнання, ніж процесор з 1 АЛП, споживає у 4–5 разів більше енергії, але одночасно перевершує процесор з 1 АЛП майже у 8 разів за продуктивністю.

Отже, наявність системи автоматичного синтезу спеціалізованих процесорів дала змогу сформулювати новий метод їх проектування, який практично не міг бути реалізований при використанні традиційних методів проектування на рівні міжрегістрових передач через неприпустимо великі терміни, який передбачає швидкий синтез спектра можливих спеціалізованих процесорів, їх імплементацію та вибір прийняттого за заданими технічними характеристиками.

1. Мельник А. О., Мельник В. А. Персональні суперкомп'ютери: архітектура, проектування, застосування: монографія. – Львів: Видавництво Львівської політехніки, 2013. – 516 с. 2. Мельник А., Сало А., Клименко В., Цигилик Л., Юрчук А. Хамелеон – система високорівневого синтезу спеціалізованих процесорів // Науково-технічний журнал Харківського аерокосмічного університету “Радіоелектронні і комп'ютерні системи”. – 2009. – № 5. – С. 189–194. 3. Мельник А. О., Цигилик Л. О., Майстренко М. В. Інструментальні засоби для дослідження характеристик процесорів опрацювання сигналів, генерованих системою високорівневого синтезу “Хамелеон” // Вісник Нац. ун-ту “Львівська політехніка”. – 2015. – № 830 : Комп'ютерні системи та мережі. – С. 74–83. 4. Anatoliy O. Melnyk, Viktor A Melnyk, Liubomyr O Tsyhylyk. Tasks Scaling with Chameleon© C2HDL Design Tool in Self-Configurable Computer Systems Based on Partially Reconfigurable FPGAs. Advances in Cyber-Physical Systems. Vol. 1, No. 1, 2016, pp. 31–38.