

## ПРОГРАМНО-АПАРАТНА РЕАЛІЗАЦІЯ ЦИФРОВОГО ПРИСТРОЮ ФАЗОВОГО АВТОМАТИЧНОГО ПІДСТРОЮВАННЯ ЧАСТОТИ

© Бондарєв А. П., Алтунін С. І., 2016

Описано створену програмно-апаратну реалізацію цифрового пристрою фазового автоматичного підстроювання частоти (ЦФАПЧ). Досліджено процес схоплення частоти гармонічного коливання. Наведено графіки ключових сигналів пристрою ЦФАПЧ і здійснено їх порівняння з результатами дослідження імітаційної моделі ЦФАПЧ.

**Ключові слова:** програмно-апаратна реалізація, ЦФАПЧ.

A. Bondariev, S. Altunin  
Lviv Polytechnic National University

## FIRMWARE IMPLEMENTATION OF DIGITAL PHASE-LOCKED LOOP

© Bondariev A., Altunin S., 2016

This article is devoted to the creation of a firmware implementation of the digital phase-locked loop (DPLL). DPLLs are more perspective than analog PLLs in terms of reliability and technical characteristics. Moreover, DPLLs potentially have better noise immunity than analog ones.

Advantage of the firmware implementation of the DPLL is its flexibility in configuration. So, the creation of such implementation gives a possibility to speed up further investigation of DPLL noise immunity.

The article describes the block diagram of the DPLL and explains its principle of operation. Furthermore, this article presents mathematical models of all building blocks of the DPLL, including their transfer functions and difference equations. In addition, there are deducted the formulas for digital filter coefficients on the basis of a location of poles and zeros of the DPLL transfer function.

The block diagram of hardware part of the DPLL implementation is also presented. It is built on STM microcontroller and a PC (personal computer), which is connected to it in order to collect data during an operation of the DPLL. The algorithm of software part of the DPLL implementation is depicted in this paper as well.

In order to prove an ability of work of created firmware implementation the frequency acquisition process of harmonic oscillation is investigated. The paper shows diagrams of DPLL key signals. Experimental results were collected and compared with investigation results of existing simulation model of this DPLL. Their comparison demonstrates full accordance of experimental (firmware) and simulation models of the DPLL.

**Key words:** firmware implementation, DPLL.

### Вступ

У зв'язку зі стрімким розвитком цифрової схемотехніки цифрові пристрої фазового автоматичного підстроювання частоти (ФАПЧ) стали альтернативою традиційним аналоговим пристроям ФАПЧ. Завдяки використанню цифрових компонентів не виникає проблема паразитних ємностей, старіння та температурного дрейфу характеристик цифрових пристроїв фазової синхронізації [1]. Крім того, цифрові пристрої ФАПЧ (ЦФАПЧ) доволі перспективні, зважаючи на їх

потенційно високу завадостійкість [2–4]. Метою цієї статті є створення програмно-апаратної реалізації пристрою ЦФАПЧ. Така реалізація дасть змогу оперативно змінювати його параметри для подальшого дослідження та підвищення завадостійкості такого пристрою. Крім того, завданням статті є зафіксувати процес захоплення частоти гармонічного коливання, визначити орієнтовний час входження у синхронізм, і порівняти його з аналогічним результатом дослідження імітаційної моделі (за однакових параметрів імітаційної та експериментальної моделей), яка наведена в [6].

### Будова цифрового пристрою ФАПЧ та його особливості

Для здійснення програмно-апаратної реалізації за основу взято структурну схему пристрою ЦФАПЧ, яка наведена в [6] (рис. 1).

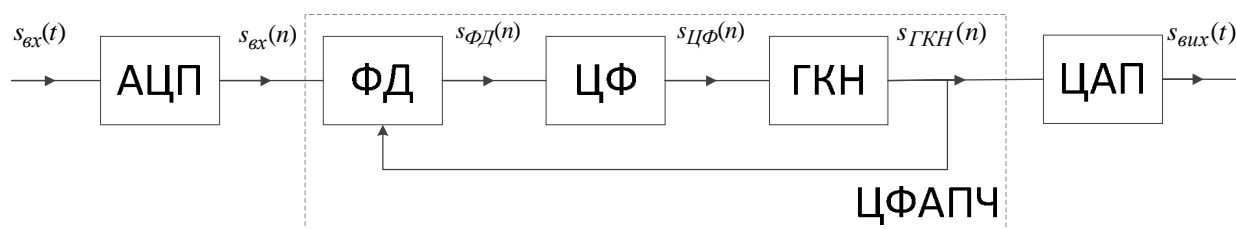


Рис. 1. Структурна схема пристрою ЦФАПЧ

Наведена схема дуже подібна до схеми аналогового пристрою ФАПЧ, але в цьому пристрої ЦФАПЧ основні компоненти – фазовий детектор (ФД), цифровий фільтр (ЦФ) та генератор, керований напругою (ГКН) – є цифровими, і всі вони оперують цифровими сигналами.

Сигнал з еталонного генератора (ЕГ)  $s_{вх}(t)$ , перш ніж потрапити на один з входів ФД, проходить через аналогово-цифровий перетворювач (АЦП), який дискретизує вхідний сигнал. На інший вхід ФД по черзі надходять відліки сигналу з ГКН  $s_{ГКН}(n)$ , всередині ФД відліки сигналів з обох входів перемножуються і результуючий сигнал  $s_{ФД}(n)$  надходить на ЦФ, який відсіює швидкозмінну складову цього сигналу. Сигнал на виході ЦФ  $s_{ЦФ}(n)$  називають сигналом помилки, і цей сигнал надходить на ГКН. ГКН формує цифровий сигнал гармонічної форми, з фазою, яка визначається відліками сигналу помилки. Відліки сформованого генератором сигналу надходять на ФД, замикаючи цим контур зворотного зв'язку ЦФАПЧ. Цей самий сигнал можна подати на цифро-аналоговий перетворювач (ЦАП), тоді на його виході отримаємо неперервний сигнал  $s_{вих}(t)$ , частота якого повинна відповідати частоті сигналу з ЕГ.

Математична модель цього ЦФАПЧ детально описана в [6], тут наведено лише ключові вирази з точністю до позначень. Нехай інтервал дискретизації дорівнює  $\Delta T$ , коефіцієнт передачі ГКН –  $K_0$ , опорна частота ГКН –  $w_0$ , а сигнал на виході ГКН формується за законом:

$$s_{ГКН}(n) = \cos(w_0 n \Delta T + y(n)), \quad (1)$$

де

$$y(n) = K_0 \cdot \sum_{m=0}^{n-1} s_{ЦФ}(m) = K_0 s_{ЦФ}(n-1) + K_0 \cdot \sum_{m=0}^{n-2} s_{ЦФ}(m) = K_0 s_{ЦФ}(n-1) + y(n-1). \quad (2)$$

Передавальна характеристика ГКН, що відповідає цьому різницевому рівнянню (2), має вигляд:

$$H_{ГКН}(z) = \frac{K_0 z^{-1}}{1 - z^{-1}}. \quad (3)$$

Якщо на вхід ФД надходить гармонічний сигнал, частота якого дорівнює  $w_0$ , то сигнал на виході ФД матиме вигляд:

$$\begin{aligned} s_{ФД}(n) &= K_{ФД} \sin(w_0 n \Delta T + j(n)) \cdot \cos(w_0 n \Delta T + y(n)) = \\ &= \frac{1}{2} \cdot K_{ФД} \sin(2w_0 n \Delta T + j(n) + y(n)) + \frac{1}{2} \cdot K_{ФД} \sin(j(n) - y(n)), \end{aligned} \quad (4)$$

де  $K_{ФД}$  – коефіцієнт передачі ФД, а  $j(n)$  та  $y(n)$  – поточні фази сигналів з ЕГ та ГКН відповідно.

ЦФ фільтрує зміну складову цього сигналу. Крім того, в [6] зроблено припущення  $\sin(j(n) - y(n)) = \sin(\Delta j(n)) \approx \Delta j(n)$ , що дає змогу перейти до лінеаризованої моделі ЦФАПЧ (рис. 2). У цьому випадку тоді сигнал на виході ЦФ:

$$s_{ЦФ}(n) = K_{ФД} \cdot \Delta j(n). \quad (5)$$

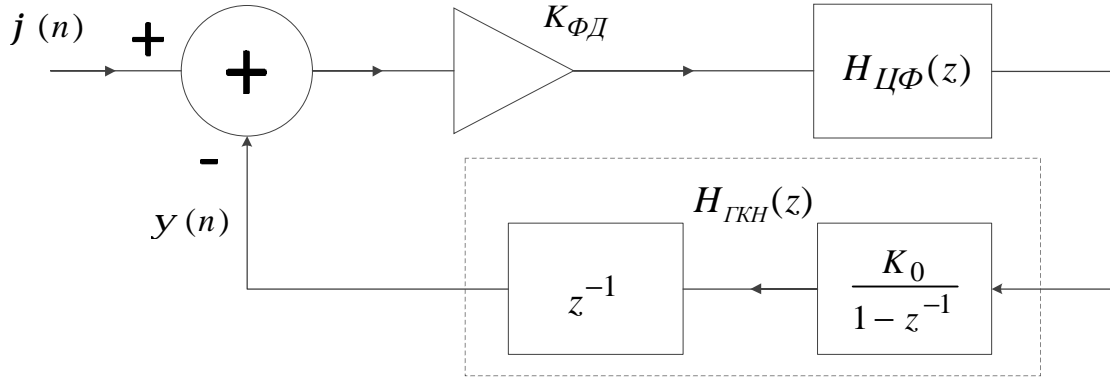


Рис. 2. Лінеаризована модель пристрою ЦФАПЧ

Передавальна функція пристрою ЦФАПЧ визначається з виразу:

$$H(z) = \frac{\Psi(z)}{\Phi(z)} = \frac{K_{ФД} \cdot H_{ЦФ}(z) \cdot H_{ГКН}(z)}{1 + K_{ФД} \cdot H_{ЦФ}(z) \cdot H_{ГКН}(z)} \quad (6)$$

де  $\Psi(z)$  та  $\Phi(z)$  –  $z$ -відображення фазових сигналів  $j(n)$  та  $y(n)$ .

У досліджуваній моделі пристрою ЦФАПЧ як ЦФ використовується рекурсивний фільтр першого порядку, передавальна функція якого має вигляд

$$H_{ЦФ}(z) = \frac{b_0 + b_1 z^{-1}}{1 - a_1 z^{-1}}, \quad (7)$$

а різницеве рівняння для такого ЦФ запишеться так:

$$s_{ЦФ}(n) = b_0 s_{ФД}(n) + b_1 s_{ФД}(n-1) + a_1 s_{ЦФ}(n-1), \quad (8)$$

де  $b_0, b_1, a_1$  – коефіцієнти ЦФ.

Визначити коефіцієнти ЦФ можна на основі розміщення полюсів та нулів передавальної функції ЦФАПЧ. Для цього в [6] пропонується взяти передавальну функцію аналогового ФАПЧ другого порядку астатизму, знайти її нулі та полюси, а потім за допомогою білінійного  $z$ -перетворення перейти до нулів та полюсів ЦФАПЧ. Передавальна функція аналогового ФАПЧ, її нуль та полюси:

$$H(s) = \frac{2z w_p s + w_p^2}{s^2 + 2z w_p s + w_p^2}, \quad (9)$$

$$s_0 = -\frac{w_p}{2z}, \quad s_{1,2} = -z w_p \pm j w_p \sqrt{1 - z^2}, \quad (10)$$

де  $w_p$  – резонансна частота контура ФАПЧ;  $\zeta$  – коефіцієнт загасання;  $s$  – комплексна змінна. Детально зміст параметрів  $\zeta$  та  $w_p$  пояснено в [1].

Тоді полюси та нуль ЦФАПЧ:

$$n_0 = \exp(s_0 \Delta T) = \exp\left(-\frac{w_p \Delta T}{2z}\right), \quad (11)$$

$$p_{1,2} = \exp(s_{1,2}\Delta T) = \exp(-zw_p\Delta T) \cdot \exp(\pm jw_p\Delta T\sqrt{1-z^2}) = R \cdot \exp(\pm jw_p\Delta T\sqrt{1-z^2}). \quad (12)$$

ЦФАПЧ є стійким, якщо його полюси його передавальної функції лежать в області  $|z| < 1$ . Тобто для цього повинна виконуватись умова:

$$R = \exp(-zw_p\Delta T) < 1. \quad (13)$$

Оскільки величини  $\zeta, w_p, \Delta T$  завжди є невід'ємними, то це значить, що досліджуваний пристрій ЦФАПЧ буде завжди стійким.

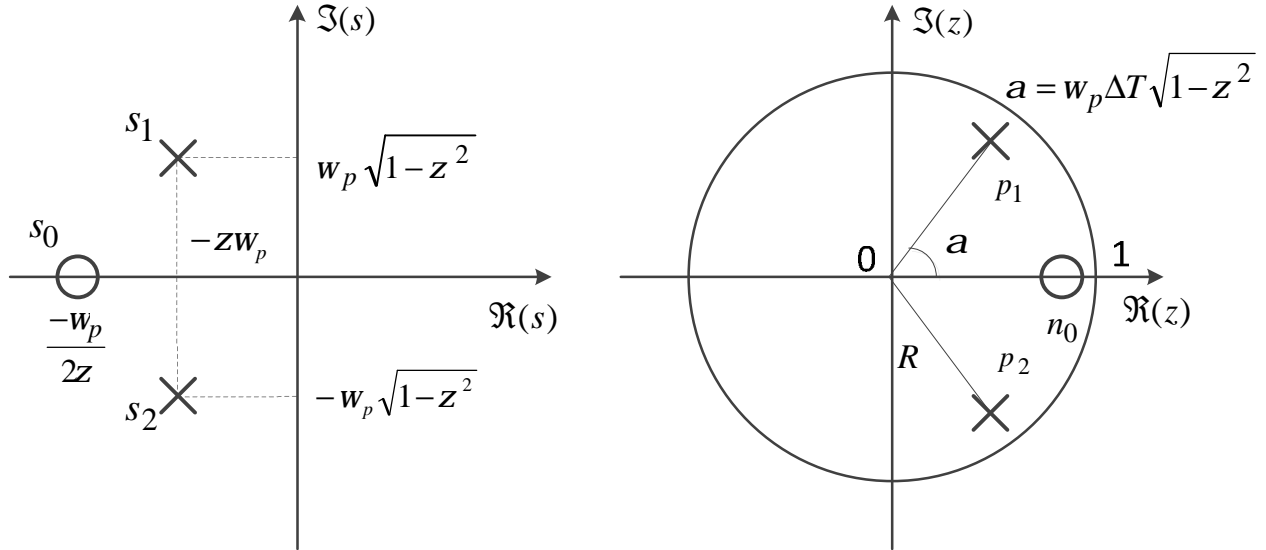


Рис. 3. Відображення полюсів та нуля аналогового ФАПЧ у полюси та нуль ЦФАПЧ

Якщо підставити (7) і (3) в (6), передавальна функція пристрою ЦФАПЧ набуде вигляду:

$$H(z) = \frac{\Psi(z)}{H(z)} = \frac{K_{\PhiД} \cdot \frac{b_0 + b_1 z^{-1}}{1 - a_1 z^{-1}} \cdot \frac{K_0 \cdot z^{-1}}{1 - z^{-1}}}{1 + K_{\PhiД} \cdot \frac{b_0 + b_1 z^{-1}}{1 - a_1 z^{-1}} \cdot \frac{K_0 \cdot z^{-1}}{1 - z^{-1}}} = \frac{z - n_0}{(z - p_1)(z - p_2)}. \quad (14)$$

Підставивши в праву частину рівняння (14) рівняння (11) та (12), розкривши дужки і прирівнявши відповідні коефіцієнти при  $z$ , отримаємо систему рівнянь:

$$\begin{cases} b_1 = -b_0 \cdot \exp(-w_p\Delta T / 2z) \\ a_1 + 1 - K_{\PhiД} K_0 b_0 = 2 \cdot \exp(-w_p z \Delta T) \cdot \cos(w_p \Delta T \sqrt{1-z^2}). \\ a_1 + K_{\PhiД} K_0 b_1 = \exp(-2w_p z \Delta T) \end{cases} \quad (15)$$

Розв'язок цієї системи рівнянь:

$$b_0 = \frac{2 - 2 \cdot \exp(-w_p z \Delta T) \cdot \cos(w_p \Delta T \sqrt{1-z^2})}{K_{\PhiД} \cdot K_0}; \quad b_1 = \frac{\exp(-2w_p z \Delta T) - 1}{K_{\PhiД} \cdot K_0}; \quad a_1 = 1. \quad (16)$$

Отже, різницеве рівняння пристрою ЦФАПЧ матиме вигляд:

$$\begin{aligned} y(n) &= b_0 K_{\PhiД} K_0 \cdot j(n-1) + b_1 K_{\PhiД} K_0 \cdot j(n-2) - \\ &- (b_0 K_{\PhiД} K_0 - 2) \cdot y(n-1) - (b_1 K_{\PhiД} K_0 + 1) \cdot y(n-2). \end{aligned} \quad (17)$$

### Розроблення апаратної частини пристрою ЦФАПЧ

Для програмно-апаратної реалізації ЦФАПЧ вибрано високопродуктивну демонстраційну плату STM32F4 Discovery. Вона містить в собі мікроконтролер STM32F407VGT6, створений на базі 32-розрядного ядра ARM Cortex-M4F, з 1 МБайт Flash пам'яті та 192 кбайт ОЗП, вбудовані 12-розрядні АЦП та ЦАП, до 14 таймерів різного призначення, велику кількість портів вводу/виводу та підтримує декілька протоколів обміну даними (UART, SPI, I<sup>2</sup>C, USB) [5]. Максимальна тактова частота контролера досягає 168 МГц, а час перетворення АЦП становить при цьому близько 0,5 мкс, чого цілком достатньо для програмно-апаратної реалізації ЦФАПЧ.

Схему експерименту наведено на рис. 4. Гармонічний сигнал з ЕГ надходить на один з портів мікроконтролера, який є одночасно входом АЦП. АЦП з періодом, що дорівнює інтервалу дискретизації, формує відліки вхідного сигналу. Після завершення обробки сигналу на вхід ЦАПа подаються відліки вихідного сигналу, на його виході формується відповідний аналоговий сигнал, який надходить на осцилограф.

Наявність у блок-схемі комп'ютера (ПК) необхідна для фіксації процесу схоплення частоти. Якщо ж необхідно зняти осцилограми відразу декількох сигналів, зручно записати значення їх відліків у пам'ять мікроконтролера (в ході виконання програми), а потім – передати на комп'ютер (через інтерфейс UART) для подальшої побудови їх графіків.

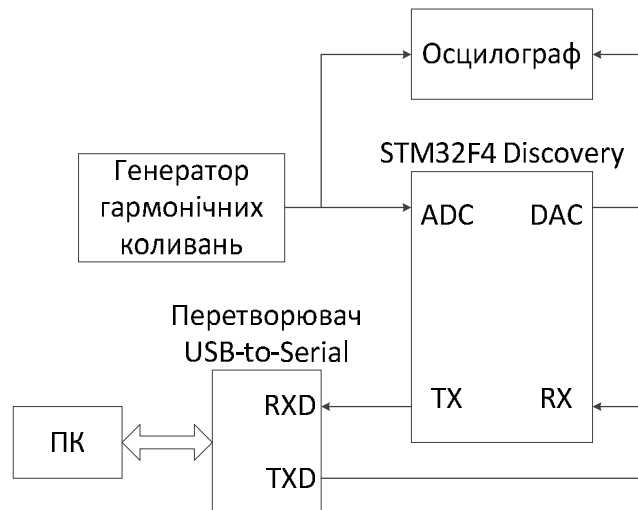


Рис. 4. Блок-схема експерименту

### Розроблення програмного забезпечення

Програмне забезпечення розроблене в середовищі Keil  $\mu$ Vision 5.15 з використанням стандартної бібліотеки периферії SPL. Алгоритм роботи ПЗ зображено на рис. 5.

Для порівняння результатів дослідження процесу схоплення синхронізму в імітаційній та експериментальній моделях вкрай необхідно забезпечити однаковість початкових умов – частотного та фазового розбалансу. Тому спочатку контур ЦФАПЧ є розімкненим (генерація сигналу з ГКН не відбувається). У певний момент часу на комп'ютері в середовищі MATLAB R2013a запускається програма, яка передає по каналу даних через інтерфейс UART значення фазового розбалансу і тим самим подає команду мікроконтролеру замкнути контур ЦФАПЧ. В ході виконання програми (тієї, що виконується у мікроконтролері) у пам'ять записуються масиви значень змінних, які характеризують відліки відповідних сигналів у дискретні моменти часу. Після закінчення запису ці дані передаються назад на комп'ютер і виводяться на графік за допомогою програми у середовищі MATLAB. Поряд з ними виводяться результати імітаційного моделювання з метою їх наочного порівняння.

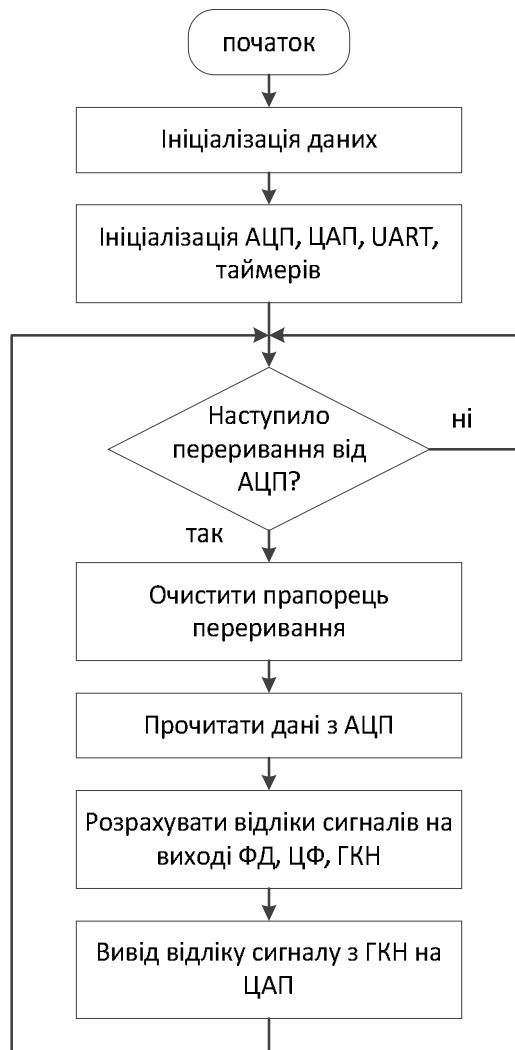


Рис. 5. Алгоритм роботи ПЗ

### Результати дослідження

На основі програми моделювання пристрою ЦФАПЧ, яка наведена в [6], отримано результати для таких його параметрів:  $z = 0.5$ ,  $w_p = 2\pi \cdot 50$  рад,  $\Delta T = 20$  мкс,  $f_0 = 1$  кГц,  $K_{ФД} = K_0 = 1$ . Для цих самих параметрів проведено дослідження експериментальної моделі пристрою ЦФАПЧ. На рис. 7 подано графіки сигналів для частотного розбалансу  $\Delta f = 20$  Гц ( $f_{\text{вх}} = 1020$  Гц) і фазового розбалансу  $\Delta j = 0^\circ$ , а на рис. 8 – для випадку  $\Delta f = -5$  Гц ( $f_{\text{вх}} = 995$  Гц) і  $\Delta j = 45^\circ$ . Графіки в лівій частині рисунків відповідають імітаційній моделі, а графіки у правій – експериментальній. У верхній частині рисунка зображений сигнал  $y(t)$  – він визначений як різниця між вхідним сигналом і вихідним, зсунутим на  $90^\circ$ . Його форма дає змогу доволі точно оцінити час схоплення частоти. Крім того, для обох моделей наведені графіки сигналу на виході ЦФ та миттєвої фази сигналу на виході ГКН. Величини сигналів  $y(t)$  та  $s_{ЦФ}(t)$  подано у нормалізованій формі (за амплітуди вхідного та вихідного сигналів 1 В).

Як видно з рис. 7 та 8, результати, отримані за допомогою програмно-апаратної реалізації пристрою ЦФАПЧ, доволі точно відповідають результатам, отриманим через імітаційне моделювання. У першому випадку для обох моделей час входження у синхронізм – близько 37 мс, а в другому – близько 32 мс. Однією з особливостей результатів експериментального моделювання є наявність пульсацій у сигналі  $y(t)$ , які зумовлені переважно похибками квантування та дискретизації АЦП і ЦАП (через їх обмежену розрядність). Але рівень цих пульсацій доволі невеликий і вони не призводять до втрати синхронізму.

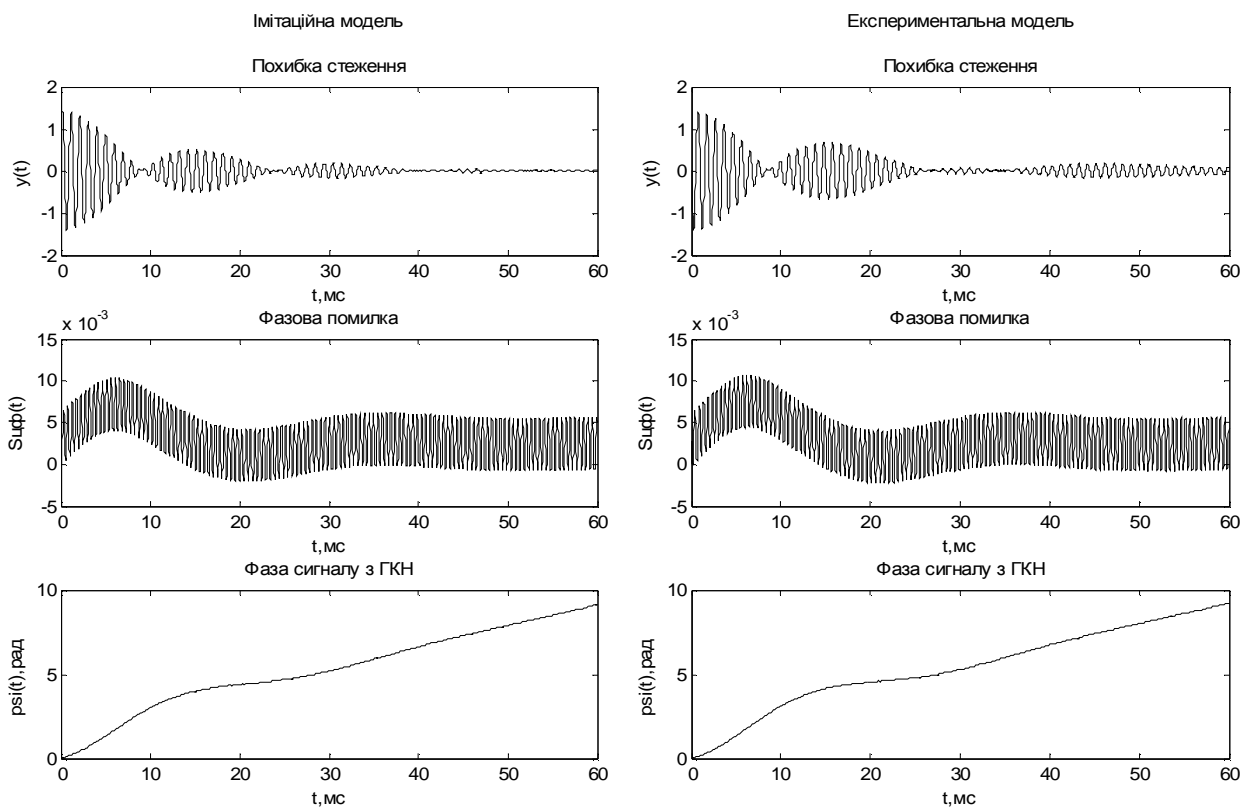


Рис. 6. Результати дослідження імітаційної та експериментальної моделей для випадку  $\Delta f = 20 \text{ Гц}$  ( $f_{\text{ex}}=1020 \text{ Гц}$ ) і  $\Delta\varphi = 0^\circ$

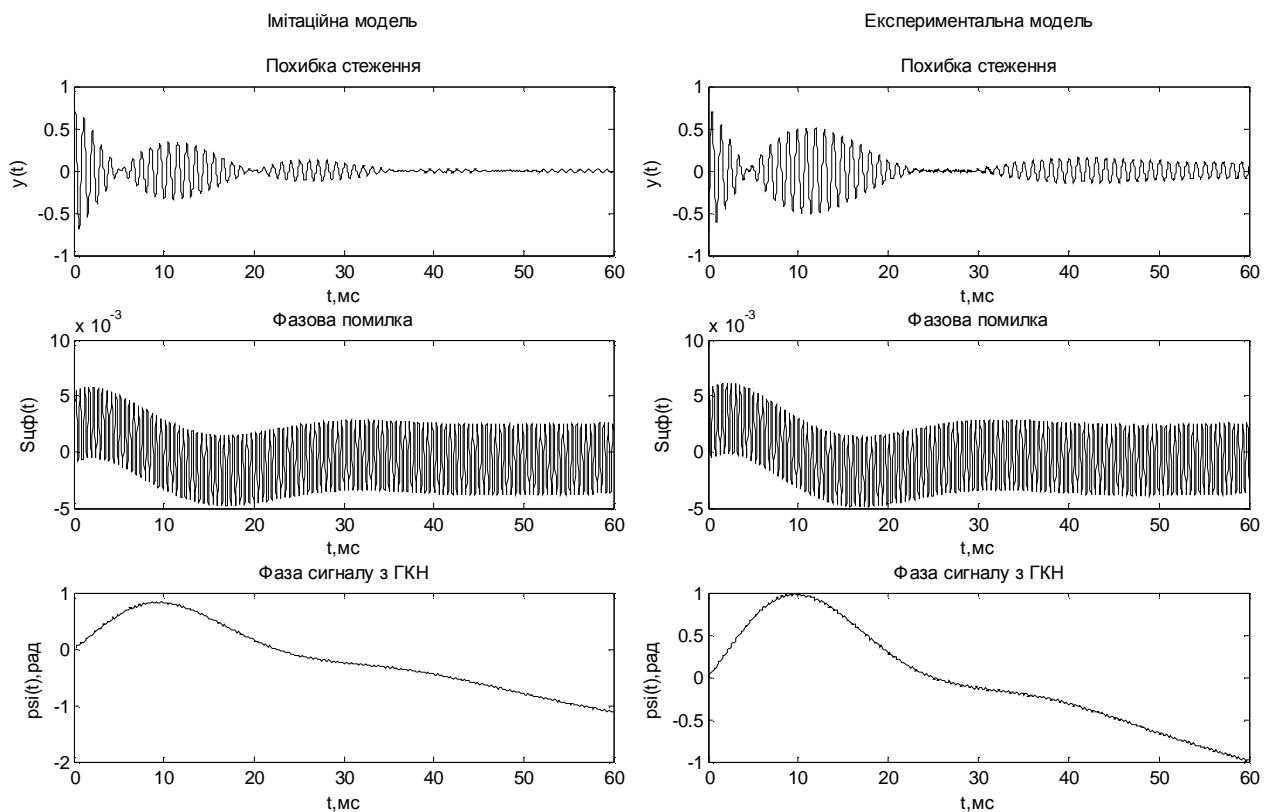


Рис. 7. Результати дослідження імітаційної та експериментальної моделей для випадку  $\Delta f = -5 \text{ Гц}$  ( $f_{\text{ex}}=995 \text{ Гц}$ ) і  $\Delta\varphi = 45^\circ$

## Висновки

Результати дослідження показали, що створена програмно-апаратна реалізація є цілком працездатною, і навіть більше – її поведінка повністю відповідає поведінці імітаційної моделі ЦФАПЧ, адже час входження у синхронізм для обох моделей практично однаковий. Подальші дослідження здійснюватимуться в напрямі дослідження завадостійкості програмно-апаратної моделі ЦФАПЧ і впливу модуляції шумів та завад на її динамічні характеристики.

1. Best R. E. *Phase-locked loops: design, simulation, and applications (professional engineering)*. New York: McGraw-Hill Companies Inc., 2003. 436 с. 2. Klinefelter A. *A Fast-Locking, Sub-Threshold ADPLL Clock Synthesizer for Wireless Sensor Applications*. URL: [http://venividiwiki.ee.virginia.edu/mediawiki/images/1/1a/Alicia\\_finalPaper.pdf](http://venividiwiki.ee.virginia.edu/mediawiki/images/1/1a/Alicia_finalPaper.pdf). – University of Virginia, 2010. 5 с. 3. Parmar K. *All Digital Phase Locked Loop design for different applications: A Review*. *IJIRT*, Volume 1 Issue 8, 2014. С. 96–99. 4. Silicon Laboratories. *Introduction to FPGA-based ADPLLs*. URL: <https://www.silabs.com/Support%20Documents/TechnicalDocs/AN575.pdf>. Rev. 0.1, 2011. 8 с. 5. STMicroelectronics “Reference manual STM32F405xx/07xx, STM32F415xx/17xx, STM32F42xxx and STM32F43xxx advanced ARM-based 32-bit MCUs” URL: [http://www.st.com/content/ccc/resource/technical/document/reference\\_manual/3d/6d/5a/66/b4/99/40/d4/DM00031020.pdf/files/DM00031020.pdf/jcr:content/translations/en.DM00031020.pdf](http://www.st.com/content/ccc/resource/technical/document/reference_manual/3d/6d/5a/66/b4/99/40/d4/DM00031020.pdf/files/DM00031020.pdf/jcr:content/translations/en.DM00031020.pdf). – Rev 10, 2015. – 1744 с. 6. *Цифровой контур ФАПЧ (digital PLL) и его свойства* URL: [www.dsplib.ru/content/dpll/dpll.html](http://www.dsplib.ru/content/dpll/dpll.html).

## References

1. Best R. E. (2003), *Phase-locked loops: design, simulation, and applications (professional engineering)*, 5<sup>th</sup> ed., New York, McGraw-Hill Companies Inc. – 436 p. 2. Klinefelter A. (2010), “A Fast-Locking, Sub-Threshold ADPLL Clock Synthesizer for Wireless Sensor Applications”, University of Virginia, available at: [http://venividiwiki.ee.virginia.edu/mediawiki/images/1/1a/Alicia\\_finalPaper.pdf](http://venividiwiki.ee.virginia.edu/mediawiki/images/1/1a/Alicia_finalPaper.pdf), (accessed 5 April 2016). 3. Parmar K. (2014), “All Digital Phase Locked Loop design for different applications: A Review”, *IJIRT*, Volume 1 Issue 8, pp. 96–99. 4. Silicon Laboratories, “Introduction to FPGA-based ADPLLs” (2011), Silicon Laboratories web-site, available at: <https://www.silabs.com/Support%20Documents/TechnicalDocs/AN575.pdf>, (accessed 5 April 2016). 5. STMicroelectronics (2015), “Reference manual STM32F405xx/07xx, STM32F415xx/17xx, STM32F42xxx and STM32F43xxx advanced ARM-based 32-bit MCUs”, available at: [http://www.st.com/content/ccc/resource/technical/document/reference\\_manual/3d/6d/5a/66/b4/99/40/d4/DM00031020.pdf/files/DM00031020.pdf/jcr:content/translations/en.DM00031020.pdf](http://www.st.com/content/ccc/resource/technical/document/reference_manual/3d/6d/5a/66/b4/99/40/d4/DM00031020.pdf/files/DM00031020.pdf/jcr:content/translations/en.DM00031020.pdf), (accessed 1 May 2016). 6. Теория и практика цифровой обработки сигналов, “Цифровой контур ФАПЧ (digital PLL) и его свойства”, available at: [www.dsplib.ru/content/dpll/dpll.html](http://www.dsplib.ru/content/dpll/dpll.html), (accessed 15 April 2016).