

РЕАЛИЗАЦИЯ ПЕРЕСТРАИВАЕМЫХ РЕКУРСИВНЫХ ЦИФРОВЫХ ФИЛЬТРОВ НА ПЛИС

Рассмотрены особенности рекурсивных цифровых фильтров, реализованными в программируемых логических интегральных схемах. Благодаря использованию фазовых фильтров, эффектов маскирования, кратных задержек, конвейеризации и разделения ресурсов, получены малые аппаратные затраты и высокая тактовая частота фильтров, а также возможность динамического изменения характеристик.

Features of the dynamically tuned FIR filters, which are configured in FPGA, are considered. The filters utilize the frequency masking properties of the all-pass digital filters, which have the delay factors z^{-k} . The mapping of the filter algorithm is implemented using pipelining and C-slow retiming techniques, which provide the minimized hardware volume and high clock frequency of the resulting filters.

Введение

В цифровой обработке сигналов часто используются рекурсивные цифровые фильтры (РЦФ), требующие перестройки в процессе своей работы. Настройка такого фильтра сводится к расчету коэффициентов РЦФ и записи набора коэффициентов в ПЗУ фильтра, которое для плавной перестройки фильтра должно иметь большой объем. Перестройка РЦФ представляет собой переходный процесс, который искажает выходной сигнал пропорционально добротности фильтра и шагу изменения его параметров [1].

РЦФ на базе программируемой логической интегральной схемы (ПЛИС) обладает высокой пропускной способностью. Но для возможности перестройки фильтра в состав вычислительной системы должен входить микроконтроллер для вычисления коэффициентов фильтра или память большого объема для их хранения, что существенно увеличивает аппаратные затраты.

В статье предлагается реализация динамически перестраиваемых РЦФ на базе фазовых фильтров, имеющих плавную перестройку своих параметров, благодаря использованию эффектов маскирования частот и фильтров с кратными задержками.

Маскирующие фильтры

При последовательном соединении ступеней фильтров результирующая амплитудно-частотная характеристика (АЧХ) является пересечением АЧХ этих ступеней. При этом говорят, что АЧХ

ступени маскирует АЧХ других ступеней, т.е. такая ступень является маскирующим фильтром (рис. 1). Благодаря маскированию, результирующий фильтр, состоящий из простых ступеней фильтра, имеет высокое качество АЧХ [2,3].

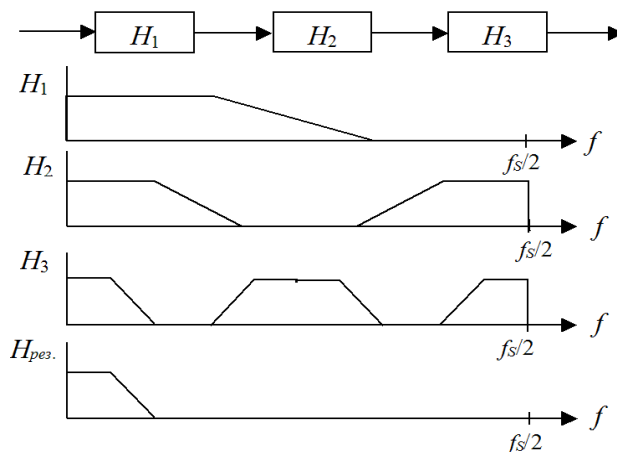


Рис.1. Пример трехступенчатого РЦФ с маскирующими фильтрами

Фильтры с кратными задержками

Каждому члену z^{-k} в передаточной характеристике $H_0(z)$ в сигнальном графе РЦФ отвечает задержка на k циклов или цепочка k регистров задержки в структуре РЦФ. Если в РЦФ количество регистров задержки увеличить в n раз, то получается фильтр с АЧХ $H_n(z) = H_0(z^n)$. АЧХ в этом фильтре имеет форму такую же, как у фильтра – прототипа $H_0(z)$, но в диапазоне $0 - f_s$ она повторяется n раз, где f_s – частота дискретизации [4]. На рис. 1

$$H_1 = H_0(z), H_2 = H_0(z^2), H_3 = H_0(z^4).$$

РЦФ на базе фазовых фильтров

Фазовый фильтр имеет модуль передаточной функции $H(z)$, равный $|H(z)| = 1$. Его фазо-частотная характеристика (ФЧХ) на частоте f_R имеет фазовый сдвиг, равный 180° . Если складываются сигналы от двух фазовых фильтров, выходной сигнал подавляется на частотах, для которых разность фаз равна 180° . Результирующая передаточная функция:

$$H_S = (H_1(z) \pm H_2(z))/2, \quad (1)$$

соответствует различным фильтрам низких (ФНЧ), высоких частот (ФВЧ), полосовому или режекторному фильтру в зависимости знака суммирования (ФНЧ или ФВЧ) и от порядка фазовых фильтров [5].

РЦФ на базе фазовых фильтров отличаются устойчивостью при малой разрядности коэффициентов, высокой линейностью АЧХ и ФЧХ в полосе пропускания, а также высоким быстродействием. Параметры их АЧХ, такие как положение частоты среза, крутизна переходной полосы, прямо зависят от коэффициентов фильтра [1,5].

Динамически перестраиваемый ФНЧ

Для получения узкополосных фильтров с шириной полосы пропускания менее 0,05 от частоты дискретизации используют многоступенчатые схемы фильтров с децимацией и интерполяцией или двухшаговый гетеродинный перенос частоты с фильтрацией промежуточных частот [1,5]. Но комбинация узко- и широкополосных фильтров требует комплексных технических решений.

Для построения ФНЧ, перестраиваемого в широком диапазоне частот, предлагается структура фильтра на рис. 2, которая состоит из ступеней маскирующих фильтров $H(z), \dots, H(z^k)$ и ступени фильтра-формирователя $H(z^k, a, b)$. При этом маскирующие фильтры выполняют фильтрацию частот с формой АЧХ, свойственной фильтрам-дециматорам, но непосредственно децимацию не производят (как H_1, H_2, H_3 , на рис.1)[6]. Передаточная функция одной (первой) ступени маскирующего фильтра равна:

$$H_S(z) = 0,5z^{-1} + 0,5 \frac{a + b(1+a)z^{-1} + z^{-2}}{1 + b(1+a)z^{-1} + az^{-2}}, \quad (2)$$

где первое и второе слагаемое представляют $H_1(z)$ и $H_2(z)$ в (1), $b = \cos(2\pi f_R)$ – регулирует частоту среза f_R , $a = (1-t)/(1+t)$ – задает ширину переходной полосы Δf , $t = \text{tg}(\pi \Delta f)$ [6]. Таким образом, изменяя b в (2), полоса среза регулируется в пределах $(0,1 - 0,4) f_S$ с подавлением в полосе задержания до 50 дБ.

Следует отметить, что все ступени фильтра выполняются по одному алгоритму, но с различными коэффициентами a, b и числом k регистров задержки.

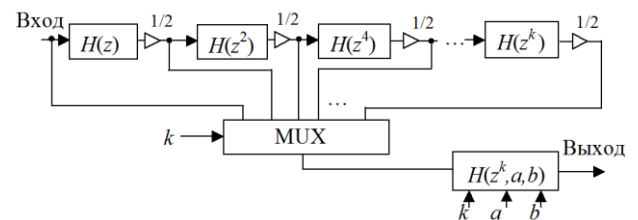


Рис.2. Структура ФНЧ с регулируемыми параметрами

Динамически перестраиваемый ФВЧ

ФВЧ с узкой полосой задержания может быть получен при вычитании результатов ФНЧ, описанного выше, из задержанного входного сигнала. Однако из-за неидеальности передаточной характеристики ФНЧ в полосе пропускания уровень подавления такого ФВЧ на практике не превосходит 30-40 дБ.

Для получения ФВЧ с регулируемой шириной полосы задержания менее 0,05 от частоты дискретизации, кроме каскадирования ступеней, предлагается использовать свойство двойного взаимного дополнения АЧХ ФНЧ и ФВЧ по формуле (1). Два фильтра называются взаимно дополняющими, если АЧХ одного фильтра в полосе пропускания соответствует АЧХ другого фильтра в полосе задержания. Если еще суммарная энергия выходных сигналов этих фильтров равна энергии входного сигнала, то такие фильтры называются дважды взаимно дополняющими [5]. Таким образом, складывая отсчеты выходов таких ФНЧ и ФВЧ, получается сигнал, равный входному с точностью до ошибок вычислений.

На рис. 3 показана структура ФВЧ с дополняющим ФНЧ. Первая ступень фильтра разделяет полосу входного сигнала на две: нижне-частотную (верхняя ветвь) и высокочастотную

на полосу среза и уровень подавления. Приближенное значение частоты среза и крутизны фильтра определяется аналогично (2).

При включении одной формирующей ступени

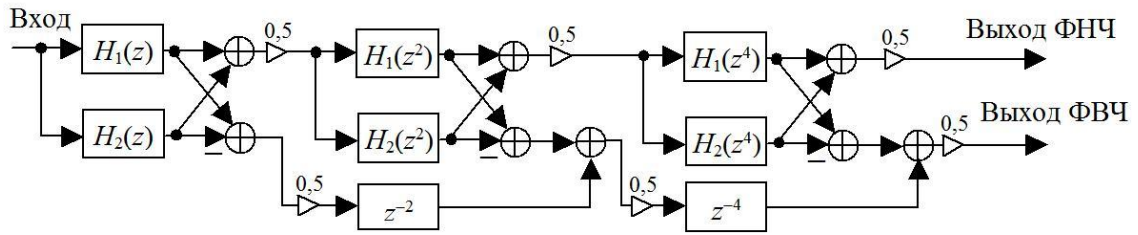


Рис.3. Структура ФВЧ с дополняющим ФНЧ

(нижняя ветвь) полосы. Вторая ступень выполняет то же самое с нижне-частотной полосой первой ступени. Результирующий сигнал полосы верхних частот второй ступени формируется как сумма верхне-частотного сигнала второй ступени и задержанного сигнала полосы верхних частот первой ступени. Выходной сигнал ФВЧ на рис. 3 имеет полосу частот, равную $7/16 f_s$, а сигнал ФНЧ – $1/16 f_s$.

Регулировка полосы пропускания ФВЧ реализуется также, как в вышеописанном ФНЧ – путем перестройки параметров последней ступени и изменения числа ступеней. Во многих случаях, например, при построении банка фильтров эквалайзера, используются оба выхода этой структуры, что экономит аппаратные затраты и обеспечивает верное разделение полос, благодаря их свойству двойного взаимного дополнения.

Поскольку данный ФВЧ имеет ступенчатую структуру со ступенями с k -кратными регистровыми задержками, то он может быть реализован, используя те же методы синтеза конвейерных схем, которые используются при построении вышеописанного ФНЧ.

Пример реализации динамически перестраиваемого ФНЧ

Для реализации проекта динамически перестраиваемого ФНЧ выбрано схему фильтра на рис.2. Чтобы получить уровень подавления более 80 дБ и крутизну переходной полосы 100 дБ/октава ступени фильтра реализуют передаточную функцию $10k$ -го порядка:

$$H(z^k) = \left[z^{-2k} + \frac{a + b(1+a)z^{-k} + z^{-2k}}{1 + b(1+a)z^{-k} + az^{-2k}} \cdot \frac{c + z^{-k}}{1 + cz^{-k}} \right]^2$$

Здесь коэффициент c незначительно влияет частоты и входных данных.

периода фильтра (рис.2) частота среза регулируется в пределах $(0,125-0,4)f_s$, а при включении трех ступеней маскирующих фильтров – в пределах $(0,015-0,031)f_s$. При добавлении до восьми ступеней маскирующих фильтров возможно регулирование частоты среза в диапазоне от 20 Гц до 20 кГц при соответствующей частоте дискретизации.

Синтез структуры фильтра выполняется с использованием метода отображения периодических алгоритмов, представленных графом синхронных потоков данных, в конвейерный вычислитель, реализованный в ПЛИС. Метод заключается в размещении графа алгоритма в многомерном индексном пространстве и отображении его в подпространства структур и времени. Ограничения на процесс отображения позволяют минимизировать в ПЛИС как тактовый интервал, так и аппаратные затраты, включая мультиплексоры [6,7].

Синтезированный фильтр имеет три блока умножения на a, b, c , которые разделяются во времени между 4 ступенями фильтра. При этом структура фильтра работает с периодом 8 тактов с высокой степенью конвейеризации и поэтому – с высокой тактовой частотой.

Для вычисления коэффициентов a, b, c в зависимости от частоты среза f_R в структуру фильтра введен блок калькулятора этих коэффициентов. Частота среза f_R фильтра задается 12-разрядным кодом, 3 старшие разряда которого управляют мультиплексором на рис.2, а остальные – настройкой f_R . Новая частота среза устанавливается сразу после записи кода частоты и начинает действовать после соответствующего переходного процесса. Фильтр стабилен при всех возможных комбинациях кодов

На рис. 4 показаны АЧХ данного фильтра в зависимости от кода частоты среза, которые свидетельствуют о его высоком качестве. АЧХ получены путем моделирования фильтров по методике, представленной в [8]. Фильтр имеет высокий уровень подавления и узкую переходную полосу при различных настройках. Неравномерность АЧХ в полосе пропускания – не более $-0,23$ дБ. Характеристики фильтра, реализованного в ПЛИС Xilinx, представлены в табл. 1. Аппаратные затраты фильтра измеряются в числе эквивалентных конфигурируемых логических блоков (ЭКЛБ, CLB Slices) и числе блоков умножения DSP48. Тактовая частота достигает 280 МГц в ПЛИС Xilinx Virtex-5, т.е. фильтр может обрабатывать сигналы с частотой дискретизации до 35 МГц. Модуль данного ФНЧ, описанный на языке VHDL, размещен на сайте открытых вычислительных модулей [9] и может быть использован в разных проектах.

Табл. 1. Параметры фильтра при реализации в ПЛИС Xilinx Virtex

Микросхема ПЛИС	XC300A	XC5VLX30
Аппаратные затраты, ЭКЛБ	616	339
Аппаратные затраты, DSP48	3	3
Максимальная тактовая частота, МГц	161	280
Максимальная частота дискретизации f_s , МГц	20	35

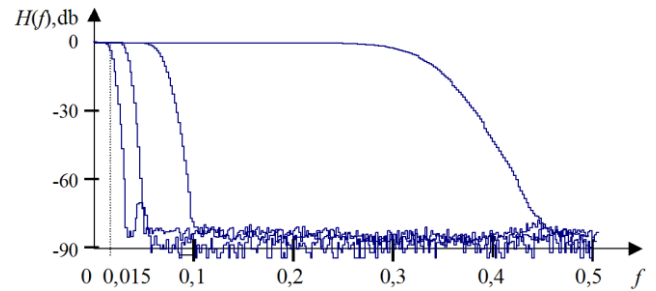


Рис.4. АЧХ фильтра при различных значениях кода частоты среза

Выводы

Благодаря использованию фазовых рекурсивных фильтров, эффектов маскирования частот и фильтров с кратными задержками появляется возможность проектировать динамически перестраиваемые РЦФ с высокими характеристиками. Синтез структуры РЦФ выполняется с использованием метода отображения периодических алгоритмов, представленных графом синхронных потоков данных. Такие фильтры эффективно реализовать в ПЛИС, где они имеют малые аппаратные затраты и высокое быстродействие, благодаря конвейерной обработке. Также они могут быть эффективно реализованы программно.

Список литературы

1. Оппенгейм А.В., Шафер Р.В. Цифровая обработка сигналов. – М.: Связь. –1979. –416 с.
2. Lim Y.C., Lian Y. Frequency-response masking approach for digital filter design: Complexity reduction via masking filter factorization // IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing. –1994.–41. –N4. –P. 518–525.
3. Lu W.-S., Hinamoto T. Optimal Design of Frequency-Response-Masking Filters Using Semidefinite gramming // IEEE Trans. Circuits Syst. I – Fundamental theory and applications. –2003. –41. –N4. –Aug –P. 557–568.
4. Гольденберг Л.М., Матюшкин Б.Д., Поляк М.Н. Цифровая обработка сигналов: Справочник – М Радио и связь. –1985. –312 с.
5. Regalia P.A., Mitra S.K. and Vaidyanathan P.P. The Digital All-Pass Filter: A Versatile Signal Processing Building Block // Proc. IEEE. –1988.–V.76. –№1. –P.19–37.
6. Сергиенко А.М. Методика проектирования цифровых фильтров с помощью VHDL. //Моделювання та інформаційні технології. Зб. наук. праць. ППМЕ НАН України. –2002. – 12. –С. 99-107.
7. Сергиенко А.М., Симоненко В.П. Отображение периодических алгоритмов в логические интегральные схемы //Электрон. моделирование. –2007. – 29. –№ 2. –С. 49–61.
8. Testbench for the filter testing. http://kanyevsky.kpi.ua/usefulcores_VHDLlab.html
9. Low-Pass IIR Filter : Overview //OpenCores project site. http://opencores.org/project,lp_iir_filter