

*МАРКОВСЬКИЙ О.П.,
ГУБСЬКА А.О.,
ЧЕЧЕЛЬ В.Р.,
ФЕДОРЕЧКО О.І.*

МЕТОД КОРЕКЦІЇ ДВОХ ПОМИЛОК СИНХРОНІЗАЦІЇ В АСИНХРОННИХ ЛІНІЯХ ПЕРЕДАЧІ ЦИФРОВИХ ДАНИХ

В статті запропоновано метод виправлення двох помилок, що виникають в асинхронних каналах передачі цифрових даних. Запропонований метод оснований на використанні системи зважених контрольних сум, що утворюють систему рівнянь, розв'язання яких дозволяє локалізувати помилки синхронізації і визначити їх тип. Метод використовує логічні операції. Детально представлено математичну ідею методу та процедури класифікації та корекції пари помилок. Використання процедури корекції помилок синхронізації ілюструється прикладами. Наведено теоретичні та експериментальні оцінки ефективності запропонованого методу.

In article method of double errors correcting in asynchronous digital data transmission channels is proposed. The proposed method is based on the use system of weighted checksum that creating a system of equations, the solution which allow to localize the synchronization errors and determine their type. Method is based on logical operations. The method mathematical basis and procedure of detecting and correcting of double errors are presented in detail. The use of the procedure double errors correction is illustrated via the thorough presentation of an example of erroneous data transmission. The theoretical and experimental estimations of effectiveness of proposed method are given.

Вступ

Досягнутий в останнє десятиліття розвиток засобів комп'ютерної обробки інформації все більшою мірою визначається розповсюдженням технологій розподілених обчислень. Необхідною передумовою ефективності розподіленої обробки даних є високий рівень розвитку засобів обміну та передачі цифрових даних. Домінуюче місце серед них посідають послідовні інтерфейси, які здатні забезпечити високу швидкість передачі цифрових даних в широкому діапазоні відстаней. Для передачі даних на відносно невеликі відстані (до десятків метрів) застосовуються послідовні канали з кодово-імпульсною модуляцією, в той час, як передача цифрової інформації на більші відстані реалізується послідовними інтерфейсами з модуляцією синусоїдального сигналу (канали зі спектральною модуляцією).

Задля досягнення високої швидкості передачі даних в послідовних каналах з кодово-імпульсною модуляцією здебільшого використовується асинхронне кодування, яке при заданому граничній частоті зміни потенціалу в лінії забезпечує, як мінімум, вдвічі більшу інформаційну швидкість передачі даних. Суттєвим недоліком асинхронного кодування даних є ризики виникнення помилок синхронізації - помилкового сприйняття на боці приймача довжини

серії однакових бітів, передача яких не синхронізована, тобто не супроводжується зміною потенціалу в лінії. Ймовірність виникнення помилок синхронізації суттєво зростає зі збільшенням довжини серії бітів, передача яких не синхронізується, підвищенні частоти передачі даних, а також зі збільшенням різниці температур на приймачі та передавачі [1].

Динамічний розвиток систем розподіленої обробки даних стимулює неперервне зростання швидкості передачі даних в паралельних каналах, насамперед за рахунок збільшення частоти слідування сигналів. Так, в новому стандарті послідовного інтерфейсу USB 3.0 тактова частота передачі в порівнянні з попереднім збільшилася в 10 раз [1]. Таке відчутне збільшення частоти передачі має наслідком зростання ймовірності виникнення помилок синхронізації в силу того, що темпи росту частоти помітно випереджають збільшення точності роботи тактових генераторів, яка є визначальним чинником того, що довжина несинхронізованої послідовності бітів на стороні передавача і на стороні приймача сприймається однаковою [2]. До цього слід додати, що збільшення частоти передачі в сучасних послідовних інтерфейсах призводить до різкого зростання негативного впливу міжсигнальної інтерференції, яка, в свою чергу, стимулює спотворення границь сигналу несинхронізованої передачі послідовності бітів і, тим

самим, провокує виникнення помилок синхронізації [2].

Вказані чинники диктують необхідність адекватного удосконалення засобів контролю та виправлення помилок синхронізації в послідовних каналах обміну даними комп'ютерних систем. Зокрема, практичного значення набуває задача корекції двох помилок синхронізації при передачі одного блоку даних.

Таким чином, задача підвищення ефективності корекції помилок синхронізації в послідовних каналах обміну даними в ракурсі розширення класу помилок, що можуть бути виправлені, є актуальною для сучасного етапу розвитку технології передачі інформації в комп'ютерних системах.

Аналіз існуючих засобів виявлення та корекції помилок синхронізації

Динамічний розвиток засобів передачі даних мав наслідком збільшення на порядки швидкості передачі даних. Виходячи з реалій сьогодення тенденція зростання швидкості передачі буде зростати і далі.

За цих умов відбувається переоцінка значимості традиційних критеріїв ефективності засобів виправлення помилок. Так, критерій кількості контрольних розрядів за умов стрімкого зростання швидкості передачі втрачає свою значимість. На противагу йому, зростає значимість такої характеристики як часова складність обчислювальних процедур корекції, що визначає час корекції помилок, що виникли при передачі.

В послідовних інтерфейсах комп'ютерних систем використовуються дві базові технології виправлення виникаючих в процесі передачі даних помилок:

- виявлення помилок за допомогою спеціальних кодів та їх виправлення шляхом повторної передачі;
- корегування помилки безпосередньо на стороні приймача з використанням даних контрольного коду.

Перша з наведених технологій також передбачає додаткову передачу контрольного коду, який використовується лише для виявлення помилок. Здебільшого, в якості контрольного коду використовується CRC (Control Redundancy Codes) [2], який здатен гарантовано виявляти бітові помилки, кратність яких не перевищує трьох. Інші помилки CRC виявляє зі ймовірністю $1-2^{-n}$, де n -розрядність контрольного коду. В умовах досягнутого в останні роки значного

збільшення об'ємів даних, що передаються між компонентами комп'ютерних систем ймовірність того, що помилка синхронізації не буде виявлена приймає реальні значення. Наприклад, при використанні CRC-32 і передачі 128 Мбайт ймовірність виникнення непоміченої помилки становить 10^{-3} [3]. Головною вадою виправлення помилок в прийнятому блоці даних шляхом його повторної передачі є великі затрати часу на перевірку правильності передачі, посилку запису на повторну передачу і саму повторну передачу. Обчислення контрольного коду CRC виконується рекурсивно, розряд за розрядом, тобто має принципово послідовний характер, що зумовлює значні часові затрати на його реалізацію.

Надсилання приймачем запиту на повторну передачу і сама повторна передача також потребує значного часу. І до того ж, вона не гарантує, що при повторній передачі не матимуть місце помилки [4]. Тому, в сучасних умовах використання повторної передачі, як засобі виправлення виникаючих помилок, стає все менш ефективним. Особливо це стосується комп'ютерних систем управління, що працюють в реальному часі.

Виходячи з критерію часу корекції помилок, більш ефективним є використання корегуючих кодів. Проте, класичні корегуючі коди, такі як коди Хемінга, коди Голея, циклічні коди, включаючи БЧХ і коди Ріда-Соломона орієнтовані на виправлення однієї або обмеженої кількості помилок і не здатні виправляти помилки синхронізації [2]. Тому, на практиці використовуються методи попередження виникнення помилок синхронізації і спеціалізовані методи їх виправлення [3].

Найбільш поширеним методом попередження виникнення помилок синхронізації є використання бітового стаффінгу - тобто вставка біту, передача якого супроводжується зміною потенціала на лінії в послідовності несинхронізованих бітів при досягненні ними критичної довжини [1]. Реалізація механізму бітового стаффінгу потребує передачі додаткових бітів переривання послідовностей несинхронізованих бітів, а також часу для аналізу та вилучення з прийнятого блоку даних бітів переривання. Причому, час на розпізнавання і видалення біту переривання на боці приймача витрачається завжди.

Для виправлення одиночної помилки синхронізації використовуються спеціальні методи, більшість яких має за основу використання ло-

гічних та арифметичних зважених контрольних сум [4,5].

Зокрема, в методі [4] для корекції одиночної помилки синхронізації використовується дво-компонентний контрольний код. Перша бітова компонента розраховується як сума за модулем два всіх бітів інформаційного блоку. Значення другої компоненти контрольної суми розраховується як арифметична сума порядкових номерів усіх позицій, на яких у вихідному блоці знаходяться одиничні біти.

Виявлення факту передачі інформації з помилкою, визначення її типу, локалізація та корекція відбувається на приймачі шляхом порівняння та аналізу кількості отриманих біт у інформаційному повідомленні з очікуваною кількістю, а також розрядів контрольних кодів: отриманого від передавача, та розрахованого на приймачеві. По різниці перших компонент контрольного коду виконується класифікація типу помилки синхронізації (збільшення чи зменшення довжини прийнятої на боці приймача послідовності відносно переданої), а різниця других компонентів контрольного коду на приймачі і передавачі локалізує послідовність несинхронізованих бітів, при прийомі якої приймач невірно визначив її довжину.

Метод, крім помилок синхронізації, забезпечує виправлення одиничних помилок в рамках моделі двійкових симетричних каналів. Проте метод не дозволяє виправляти дві помилки синхронізації. Отже, відомий метод [4] корекції помилок синхронізації має вузький клас помилок синхронізації, що можуть бути виправлені.

Як було зазначено вище, в сучасних умовах зростання частоти передачі несучих сигналів в послідовних лініях передачі даних, ймовірність виникнення двох помилок синхронізації стає цілком реальною. Крім того, відомий метод виправлення помилок синхронізації використовує звичайну арифметику, що ускладнює апаратну реалізацію корекції помилок синхронізації в порівнянні з використанням логічних операцій, які не потребують формування та обробки сигналів переносів.

Таким чином, існує необхідність в розробці спеціального методу виявлення та виправлення помилок синхронізації, кратність яких більша ніж забезпечують відомі методи.

Ціль досліджень полягає в розробці способу ефективною корекції подвійних помилок, що виникають в асинхронних каналах обміну циф-

ровими даними між компонентами комп'ютерних систем.

Метод корекції подвійних помилок синхронізації

Для досягнення поставленої мети пропонується метод корекції пари помилок синхронізації. Розроблений метод передбачає наступну модель виникнення помилок синхронізації при передачі n -бітового блоку $B = \{b_1, b_2, \dots, b_n\}$, $\forall k \in \{1..n\} : b_k \in \{1,0\}$ даних в асинхронному каналі. В сучасних асинхронних каналах обміну даними синхронізуються лише біти одного знаку – одиниці чи нулі [1]. Задля визначеності, без втрати загальності, можна вважати, що не синхронізована передача одиничних бітів, як це, зокрема, має місце в каналах USB [1]. Тоді помилка синхронізації полягає в тому, що при несинхронізованій передачі фрагменту, що складається з j одиниць, кількість їх на стороні передавача та приймача можуть відрізнитися. На практиці ця різниця становить не більше одиниці [2]. Ймовірність виникнення помилки синхронізації зростає зі збільшенням довжини l фрагменту одиниць, що слідує підряд. Якщо довжина l фрагменту досягає певної межі h , ймовірність виникнення помилки синхронізації стає критичною, тобто такою, що виникає реальний ризик виникнення помилки, що зумовлює необхідність в спеціальних засобах для її недопущення чи виправлення. Зокрема, для послідовного порту USB такою критичною межею є значення $h = 6$ [1]. Конкретне значення критичної межі h довжини фрагменту залежить від способу передачі даних, характеристик каналу, швидкості передачі та вимог до надійності, зумовлених специфікою застосування.

Розроблений метод корекції помилок синхронізації передбачає виділення всіх фрагментів, що складаються не менш як з $h-1$ одиниць, в блоці даних B та їх нумерацію, починаючи з одиниці. Виділені вказаним чином фрагменти позначаються як E_1, E_2, \dots, E_m , де m -кількість фрагментів одиниць довжиною більшою, ніж $h-2$ в n -бітовому блоці B . Кількість одиниць в цих фрагментах відповідно дорівнює: $l_{1s}, l_{2s}, \dots, l_{ms}$: $\forall i=1, \dots, m: l_{is} \geq h-1$.

Під час передачі i -го фрагменту E_i , $i \in \{1, \dots, m\}$, що складається з l_{is} одиниць можливі два типи помилок: втрата одиничного біту, і, як наслідок, отримання приймачем фрагменту, що має на біт меншу довжину відносно відпра-

вленого, тобто $l_{ir} = l_{is} - 1$, та поява зайвого одиничного біту, що призводить до збільшення отриманого фрагменту відносно відправленого на один біт, тобто $l_{ir} = l_{ir} + 1$.

В обох випадках необхідно виявити факт появи помилки, визначити її точне місце розташування та виконати корекцію відповідно тому, з'явився зайвий біт чи зник значущий.

Для вирішення поставленої задачі пропонується застосовувати контрольний код, який складається $\eta+1$ η -бітових компонентів C_0, C_1, \dots, C_η та η бітових компонентів v_0, v_1, \dots, v_η , $\eta = \lceil \log_2 m \rceil$, $\forall j \in \{0, 1, \dots, \eta\}$: $v_j \in \{0, 1\}$, де $\lceil x \rceil$ - найменше ціле, що більше або дорівнює x .

Формування контрольного коду на стороні передавача і стороні приймача пропонується виконувати наступним чином. Нульова компонента C_0 обчислюється як сума за модулем два порядкових номерів послідовностей одиниць, довжина яких більша за $h-2$ і є непарною:

$$C_0 = \bigoplus_{j=1}^m j \cdot l_j \pmod{2}. \quad (1)$$

Бітову компоненту v_0 пропонується обчислювати як суму за модулем 2 других розрядів коду довжини всіх послідовностей одиниць, в яких міститься більше ніж $h-2$ одиниць:

$$v_0 = \bigoplus_{j=1}^m (l_j / 2) \pmod{2}. \quad (2)$$

Кожна j -та з компонент C_1, C_2, \dots, C_η , $j=1, 2, \dots, \eta$, обчислюється як сума за модулем два таких порядкових номерів послідовностей одиниць, довжина яких більша за $h-2$ і є непарною, при тому, що їх j -тий розряд дорівнює одиниці. Тобто, якщо представити номер i послідовності одиниць у двійковій системі: $i = i_1 + i_2 \cdot 2 + i_3 \cdot 2^2 + \dots + i_m \cdot 2^{m-1}$, де то компоненти C_1, C_2, \dots, C_η контрольного коду обчислюються за наступною формулою:

$$\forall j = 1, 2, \dots, \eta : C_j = \bigoplus_{i=1}^m i \cdot i_j \cdot l_j \pmod{2}. \quad (3)$$

Кожна j -та з бітових компонентів v_1, v_2, \dots, v_η , $j=1, 2, \dots, \eta$, обчислюється як сума за модулем два других розрядів коду довжини всіх послідовностей одиниць, j -тий розряд порядкових номерів яких дорівнює одиниці:

$$\forall j = 1, 2, \dots, \eta : v_j = \bigoplus_{i=1}^m i_j \cdot (l_i / 2) \pmod{2}. \quad (4)$$

Запропонований порядок формування контрольних кодів блоку даних може бути ілюстро-

вано наступним прикладом. Можна припустити, що критична межа h існування реального ризику помилки синхронізації дорівнює $h=6$. Передається 64-бітовий блок $B = \{1101 \ 1011 \ 0111 \ 1111 \ 1110 \ 0111 \ 1011 \ 1110 \ 1111 \ 1110 \ 0011 \ 0111 \ 0111 \ 1110 \ 0011 \ 1111\}$. Згідно з наведеним вище, виділяються послідовності одиниць, довжина яких не менша ніж $h-1=5$. Блок B містить 5 ($m=5$) таких послідовностей E_1, E_2, \dots, E_5 , що виділені жирним шрифтом, кількість одиниць в яких відповідно становить $l_1 = 10, l_2 = 5, l_3 = 7, l_4 = 6$ та $l_5 = 6$. Розрядність η номерів виділених послідовностей одиниць становить $\eta = \lceil \log_2 m \rceil = \lceil \log_2 5 \rceil = 3$. Компонента C_0 обчислюється як сума по модулю 2 порядкових номерів послідовностей, довжина яких непарна: $C_0 = 2 \oplus 3 = 1$. Компонента C_1 обчислюється як сума порядкових номерів послідовностей непарної кількості одиниць молодший розряд котрих дорівнює одиниці. Оскільки тільки номер $3=11_2$ має одиницю в молодшому розряді, то: $C_1 = 3$. Аналогічно, $C_2 = 2 \oplus 3 = 1, C_3 = 0$. Нульова бітова компонента v_0 обчислюється як сума за модулю 2 других розрядів двійкового представлення довжин ($l_1=10=1010_2, l_2=5=101_2, l_3=7=111_2, l_4=6=110_2, l_5=6=110_2$) всіх виділених послідовностей: $v_0 = 1 \oplus 0 \oplus 1 \oplus 1 \oplus 1 = 0$. Перша бітова компонента v_1 обчислюється як сума за модулю 2 других розрядів двійкового представлення довжин лише тих з виділених послідовностей, молодший розряд порядкових номерів яких дорівнює одиниці, тобто 1, 3 та 5-ї послідовностей: $v_1 = 1 \oplus 1 \oplus 1 = 1$. Друга бітова компонента v_2 обчислюється як сума за модулю 2 других розрядів двійкового представлення довжин лише тих з виділених послідовностей, другий розряд порядкових номерів яких дорівнює одиниці, тобто 2 та 3-ї послідовностей: $v_2 = 0 \oplus 1 = 1$. Аналогічно, третя бітова компонента v_3 обчислюється як сума за модулю 2 других розрядів довжин послідовностей, номер яких має одиничний третій розряд, тобто 4-ї та 5-ї послідовностей: $v_3 = 1 \oplus 1 = 0$.

На передавачеві обчислення контрольних кодів виконується по даним блоку B_S даних, що передаються, а на приймачі, відповідно, по прийнятому блоку B_R даних. Відповідно, контрольні коди, обчислені на стороні передавача позначаються індексом S , а обчислені на боці приймача - індексом R .

Після обчислення по прийнятому блоку B_R контрольних кодів $C_{0R}, C_{1R}, \dots, C_{\eta R}$ та $v_{0R}, v_{1R}, \dots, v_{\eta R}$ на боці приймача також обчислюються різниці відповідних кодів передавача та приймача згідно з наступною формули:

$$\forall j = 0, 1, \dots, \nu: \Delta_{jR} = C_{jS} \oplus C_{jR}, \delta_j = v_{jS} \oplus v_{jR} \quad (5)$$

При виникненні двох помилок синхронізації, для визначеності, при передачі p -ї та q -ї послідовностей одиниць, причому, $q > p$, значення різниць контрольних кодів можуть бути представлені у наступному вигляді:

$$\Delta_0 = p \oplus q, \quad \delta_0 = \xi_p \oplus \xi_q$$

$$\forall j = 1, 2, \dots, \eta: \Delta_j = p \cdot p_j \oplus q \cdot q_j, \quad (6)$$

$$\delta_j = p_j \cdot \xi_p \oplus q_j \cdot \xi_q$$

де p_j та q_j значення j -го розрядів відповідно номерів p і q , а ξ_p та ξ_q - біти, що дорівнюють одиниці, якщо змінилися другі розряди довжини відповідно p -тої і q -тої послідовностей одиниць. Формально: $\xi_p = (l_{pS} \oplus l_{pR})/2 \bmod 2$ і $\xi_q = (l_{qS} \oplus l_{qR})/2 \bmod 2$.

Наведене, в рамках розглянутого вище прикладу, може бути ілюстровано наступним чином. Нехай, в процесі передачі блоку на боці приймача були невірні сприйняті довжини першої ($p=1$) та п'ятої ($q=5$) послідовностей одиниць, передача яких не синхронізована, причому перша послідовність сприйнята приймачем як така, що складається з 9-ти одиниць, а п'ята - як така, що містить 7 одиниць. $l_{1R} = 9 = 1001_2$, $l_{2R} = 5 = 101_2$, $l_{3R} = 7 = 111_2$, $l_{4R} = 6 = 110_2$ та $l_{5R} = 7 = 111_2$. Очевидно, що для першої із послідовностей довжина на передавачі ($l_{1S} = 10 = 1010_2$) і приймачі ($l_{1R} = 9 = 1001_2$) змінилася у другому розряді, так, що $\xi_p = \xi_1 = 1$. Другий розряд довжини 5-ї послідовності на передавачі ($l_{5S} = 6 = 110_2$) та приймачі ($l_{5R} = 7 = 111_2$) не змінився: відповідно $\xi_q = \xi_5 = 0$.

Відповідно, контрольні коди на стороні приймача обчислюються наступним чином. $C_{0R} = 1 \oplus 2 \oplus 3 \oplus 5 = 5$, $C_{1R} = 1 \oplus 3 \oplus 5 = 7$, $C_{2R} = 2$ та $C_{3R} = 5$. Нульова бітова компонента контрольного коду на приймачі має такий вигляд: $v_{0R} = 0 \oplus 0 \oplus 1 \oplus 1 \oplus 1 = 1$. Перша бітова компонента обчислюється на приймачі як сума за модулем 2 других бітів кодів довжин виділених одиничних послідовностей номери яких мають одиницю в молодшому розряді, тобто 1-ї, 3-ї та 5-ї послідовностей: $v_{1R} = 0 \oplus 1 \oplus 1 = 1$, аналогічно друга бітова компонента обчислюється як сума за модулем 2 других розрядів довжин

одиничних послідовностей, номери яких мають одиницю у другому розряді, тобто 2-ї та 3-ї послідовностей: $v_{2R} = 0 \oplus 1 = 1$; третя бітова компонента дорівнює сумі за модулем 2 других розрядів довжин 4-ї та 5-ї послідовностей, оскільки тільки їх номери мають одиницю у третьому розряді: $v_{3R} = 1 \oplus 1 = 1$.

Різниці контрольних кодів передавача та приймача, обчислені на боці останнього мають такий вигляд:

$$\Delta_0 = C_{0S} \oplus C_{0R} = 1 \oplus 5 = p \oplus q = 4$$

$$\Delta_1 = C_{1S} \oplus C_{1R} = 3 \oplus 7 = p \oplus q = 4$$

$$\Delta_2 = C_{2S} \oplus C_{2R} = 2 \oplus 2 = 0$$

$$\Delta_3 = C_{3S} \oplus C_{3R} = 0 \oplus 5 = q = 5$$

Різниці бітових компонентів контрольного коду передавача та приймача, обчислені на боці останнього мають такий вигляд:

$$\delta_0 = v_{0S} \oplus v_{0R} = 0 \oplus 1 = 1 = \xi_p \oplus \xi_q = 1$$

$$\delta_1 = v_{1S} \oplus v_{1R} = 1 \oplus 0 = 1 = \xi_p \oplus \xi_q = 1$$

$$\delta_2 = v_{2S} \oplus v_{2R} = 1 \oplus 1 = 0$$

$$\delta_3 = v_{3S} \oplus v_{3R} = 1 \oplus 1 = 0 = \xi_q = 0$$

Отримані на боці приймача різниці контрольних кодів (6) являють собою системи булевих рівнянь, які дозволяють однозначно визначити значення порядкових номерів спотворених при асинхронній передачі послідовностей одиниць - p і q , а також визначити значення бітів ξ_p і ξ_q , які, в свою чергу, дають змогу визначити тип кожної з помилок синхронізації.

Виходячи з того, що $q > p$ завжди існує таке $1 \leq g \leq \eta$, що в розрядах старших за g номери p та q однакові, а g -тий розряд p менший за g -тий розряд коду q , тобто: $\forall 1 \leq i < g: p_i = q_i, p_g < q_g$, або $p_g = 0$ і $q_g = 1$. Це означає, що g -те рівняння системи (6) завжди має вигляд $\Delta_g = q$, а так як $\Delta_0 = p \oplus q$, то значення p може бути визначено у вигляді $p = \Delta_0 \oplus \Delta_g$. Для $\forall 1 \leq i < g: p_i = q_i$, і, відповідно, $\Delta_i = 0$, якщо $p_i = q_i = 0$ або $\Delta_i = p \oplus q = \Delta_0$, якщо $p_i = q_i = 1$. Так, для наведеного прикладу $g = 3$, відповідно, $\Delta_3 = q = 5$.

Визначення значень p та q - номерів порушених при передачі послідовностей одиниць дає змогу визначити тип помилки. Дійсно, оскільки, згідно з (6) $\delta_g = p_g \cdot \xi_p \oplus q_g \cdot \xi_q = \xi_g$, то значення біту $\xi_q = \delta_g$. Відповідно, значення $\xi_p = \delta_0 \oplus \xi_q = \delta_0 \oplus \delta_g = 1 \oplus 0 = 1$. Якщо позначити через γ_p молодший розряд довжини p -ї послідовності одиниць на приймачі: $\gamma_p = l_{pR} \bmod 2$, то пара значень ξ_p, γ_p однозначно визначають тип помилки синхронізації при передачі p -ї послідов-

ності одиниць. В таблиці 1 наведено всі можливі ситуації зміни довжини несинхронізованої послідовності при її аналізі на боці приймача. В таблиці 1 символом d позначено операцію зміни довжини послідовності при її помилковому сприйнятті на боці приймача.

Табл. 1. Типи помилок синхронізації

$l_S \bmod 4$	d	$l_R \bmod 4$	ξ_p	γ_p
0 0	+1	0 1	0	1
0 1	+1	1 0	1	0
1 0	+1	1 1	0	1
1 1	+1	0 0	1	0
0 0	-1	1 1	1	1
0 1	-1	0 0	0	0
1 0	-1	0 1	1	1
1 1	-1	1 0	0	0

Аналіз даних, наведених в таблиці 1 дозволяє зробити наступний висновок.

Якщо $\xi_p \oplus \gamma_p = 1$, то довжина p -тої послідовності на приймачеві сприймається збільшеною на одиницю, тобто $l_{pR} = l_{pS} + 1$. В протилежному випадку, якщо $\xi_p \oplus \gamma_p = 0$, довжина p -тої несинхронізованої послідовності одиниць сприймається на стороні приймача на одиницю меншою: $l_{pR} = l_{pS} - 1$. В прикладу, що розглядається, для першої послідовності $l_{1R} = 9 = 1001_2$ тобто $\gamma_p = 1$. Оскільки $\xi_p = \xi_1 = 1$, то $\xi_p \oplus \gamma_p = 0$; відповідно, при передачі першої послідовності її довжина на боці приймача сприйнята на одиницю меншою. Аналогічним чином визначається тип помилки і для q -тої послідовності несинхронізованих при передачі одиниць.

Запропонована процедура корекції двох помилок синхронізації формально може бути представлена у вигляді наступної послідовності дій.

1. Якщо різниці всіх компонентів контрольного коду передавача і приймача дорівнюють нулю, тобто за умови $\forall j \in \{0, 1, \dots, \eta\}: \Delta_j = 0$ і $\delta_j = 0$, вважається, що блок передано без помилок. Перехід на п.6.

2. Якщо всі різниці $\Delta_1, \Delta_2, \dots, \Delta_\eta$ компонентів контрольного коду передавача і приймача приймають тільки два значення: 0 та Δ_0 , тобто, якщо $\forall j \in \{1, 2, \dots, \eta\}: \Delta_j \in \{0, \Delta_0\}$, то має місце одна помилка синхронізації, причому порядковий номер p послідовності одиниць, довжина якої невірно сприйнята приймачем дорівнює Δ_0 : $p = \Delta_0$. Корекція цієї послідовності виконується наступним чином: визначається молодший роз-

ряд γ_p коду довжини послідовності p на стороні приймача: якщо $\xi_p \oplus \gamma_p = \delta_0 \oplus \gamma_p = 0$, то до послідовності додається одиниця, а якщо $\delta_0 \oplus \gamma_p = 1$, то довжина послідовності зменшується на одиницю. Перехід на п.6.

3. Лічильник i розрядів різниць контрольних кодів встановлюється в η : $i = \eta$.

4. Якщо $\Delta_i = \Delta_0$ або $\Delta_i = \Delta_0$ перехід на п. 5, інакше порядковий номер q другої з пошкоджених при передачі послідовностей одиниць обчислюється як $q = \Delta_i$, а номер p першої невірно прийнятої на боці передавача послідовності одиниць визначається як $p = \Delta_0 \oplus q = \Delta_0 \oplus \Delta_i$. Корекція цієї послідовності виконується наступним чином: визначається молодший розряд γ_p коду довжини послідовності з порядковим номером p на стороні приймача; визначається біт зміни передостаннього розряду довжини послідовності $\xi_p = \delta_0 \oplus \delta_i$. Якщо $\xi_p \oplus \gamma_p = \delta_0 \oplus \delta_i \oplus \gamma_p = 0$, то до послідовності додається одиниця, а якщо $\xi_p \oplus \gamma_p = \delta_0 \oplus \delta_i \oplus \gamma_p = 1$, то довжина послідовності p зменшується на одиницю. Корекція другої послідовності несинхронізованих при передачі символів з порядковим номером q виконується аналогічним чином: визначається молодший розряд γ_q коду довжини послідовності q на стороні приймача, визначається біт ξ_q зміни передостаннього розряду довжини послідовності q : $\xi_q = \delta_i$: якщо $\xi_q \oplus \gamma_q = \delta_i \oplus \gamma_q = 0$, то до послідовності q додається одиниця, а якщо $\delta_i \oplus \gamma_q = 1$, то довжина послідовності з порядковим номером q зменшується на одиницю. Перехід на п. 6.

5. Виконується декремент значення лічильника i розрядів різниць контрольних кодів: $i = i - 1$ і повернення на п.4.

6. Кінець процедури корекції.

В рамках наведеного вище прикладу робота викладеної процедури корекції може бути проілюстрована наступним чином.

Оскільки значення компонентів контрольного коду $\Delta_0 = 4, \Delta_1 = 4, \Delta_2 = 0, \Delta_3 = 5$ та $\delta_0 = 1, \delta_1 = 1, \delta_2 = 0$ та $\delta_3 = 0$ не дорівнюють нулю, то мають місце помилки синхронізації.

Згідно з п.2 виконується перевірка того, що всі $\Delta_1 = 4, \Delta_2 = 0, \Delta_3 = 5$ належать множині $\{0, 4\}$, яка показує, що ця умова не виконується - це значить, що має місце помилка синхронізації кратності більше ніж один.

Згідно п. 3 лічильник $i = \eta = 3$.

Згідно п.4 виконується перевірка $\Delta_i = \Delta_3$ на рівність нулю або Δ_0 . Оскільки $\Delta_3 \neq \Delta_0$ і $\Delta_3 \neq 0$,

то порядковий номер q другої з пошкоджених при передачі послідовностей одиниць обчислюється як $q = \Delta_3 = 5$. Номер p першої невірної прийнятої на боці передавача послідовності одиниць визначається як $p = \Delta_0 \oplus q = 4 \oplus 5 = 1$. Корекція цієї послідовності виконується наступним чином: визначається молодший розряд γ_p коду $l_{1R}=9$: $\gamma_p = 1$; визначається біт ξ_1 зміни передостаннього розряду довжини послідовності $\xi_1 = \delta_0 \oplus \delta_3 = 1$. Так як $\xi_1 \oplus \gamma_1 = 1 \oplus 1 = 0$, то до послідовності з номером 1 на боці приймача додається одиниця. Визначається молодший розряд γ_5 коду довжини $l_{5R} = 7$ послідовності з номером $q=5$ на стороні приймача: $\gamma_5=1$; визначається біт ξ_5 зміни передостаннього розряду довжини послідовності з номером 5: $\xi_5 = \delta_3 = 0$. Оскільки $\xi_5 \oplus \gamma_5 = 0 \oplus 1 = 1$, то довжина послідовності з порядковим номером $q=5$ збільшується на одиницю. Отже, обидві помилки синхронізації зкореговано.

Таким чином, для досягнення поставленої цілі: корекції двох помилок синхронізації в асинхронних каналах розроблено метод, оснований на використанні позиційних корегуючих сум.

Аналіз ефективності

Основною перевагою запропонованого методу корекції помилок синхронізації в порівнянні з існуючими є те, що він дозволяє розширити клас помилок, що гарантовано виправляються забезпечуючи вправлення двох помилок синхронізації на противагу відомим методам [3-5], які розраховані на корекцію лише однієї помилки.

Кількість контрольних розрядів k , що додатково передаються визначається довжиною n блоку даних. Якщо припустити, що в блоці B даних з рівною ймовірністю зустрічаються нулі і одиниці, то можна вважати, що послідовність бітів блоку генерується за допомогою LFSR (Linear Feedback Shift Register) розрядністю r ($n \geq 2^r$). Тоді математичне очікування кількості послідовностей з i слідуючих підряд одиниць, $i \in \{1, \dots, r\}$, визначається як сума кількості комбінацій при яких послідовність знаходиться на початку чи в кінці блоку: $2 \cdot 2^{r-i-1} = 2^{r-i}$ та кількості комбінацій коли i -бітова послідовність, обмежена зліва і справа нулями, знаходиться по середині послідовності: $(n-r-2) \cdot 2^{r-i-2}$. Враховуючи, що при послідовностях, які складаються з більш ніж $h-1$ одиниць, значення i змінюється від $h-1$ до n , математичне очікування s числа

послідовностей одиниць, довжиною від $h-1$ до n визначається як сума:

$$s = 3 + \sum_{j=2}^{r-h} 2^{j-2} \cdot (j+3). \quad (7)$$

Відповідно, розрядність ρ номеру послідовності в блоці даних становить $\lceil \log_2 s \rceil$, а загальна кількість k розрядів контрольного коду визначається формулою:

$$k = \rho \cdot (\rho + 1) = \lceil \log_2 s \rceil \cdot (\lceil \log_2 s \rceil + 1). \quad (8)$$

Наприклад, при типовому значенні $h=6$, контролюється передача блоку довжиною 256 байт ($n=2048$), то значення $r = 11$, середня кількість послідовностей бітів, передача яких несинхронізована становить $s=112$, відповідно розрядність порядкового номеру послідовностей $\rho = 7$, а загальна кількість k контрольних розрядів дорівнює $k = 56$, що становить 2.7 % від розміру блока. За цих умов, використання бітового стаффінгу потребує передачі $s=112$ додаткових бітів, що становить 5.5 % об'єму блоку. Таким чином, запропонований метод потребує приблизно вдвоє меншого об'єму даних, що передаються разом з даними.

Ефективність запропонованого методу зростає зі збільшенням довжини блоку. Так при передачі блоку довжиною 1 Кбайт ($n=8192$), $r = 13$, середня кількість s послідовностей бітів, передача яких несинхронізована дорівнює $s=576$, відповідно розрядність порядкового номеру послідовностей $\rho = 10$, розрядність контрольного коду становить $k = 110$, що становить 1.3 % від розміру блока.

Важливою перевагою запропонованого методу в порівнянні з відомими є простота та використання логічних операцій на противагу арифметичним. Як слідує з наведеного вище формалізованого опису процедури корекції, для локалізації послідовностей, довжина яких невірно сприйнята на боці приймача, середня кількість циклів дорівнює математичному очікуванню m_ρ числа старших розрядів, значення яких співпадають для двох випадкових ρ -розрядних чисел:

$$m_\rho = \sum_{j=1}^{\rho-1} \frac{j}{2^j} < \sum_{j=1}^{\infty} \frac{j}{2^j} = 2. \quad (9)$$

Відповідно, в середньому, для локалізації двох помилок потребується всього дві операції порівняння і ще одна операція додавання для знаходження позиції другої невірної прийнятої на приймачі послідовності. Отже, запропонована процедура корекції гранично проста в реалізації і кількість операцій для локалізації помилок

лок практично не залежить від довжини блоку. Базовою операцією розробленої процедури корекції є операція логічного додавання (XOR), яка ефективно реалізується апаратними засобами і, зокрема, ПЛІС.

Важливою перевагою запропонованого методу є також те, що він дозволяє шляхом незначної модифікації викладеної вище процедури корегувати помилки синхронізації більшої кратності. Зокрема, експериментально доведено, що метод дозволяє корегувати до 99.2% потрійних помилок, 82% 4-х помилок синхронізації і близько 76% п'ятикратних помилок синхронізації.

Проведені експериментальні дослідження апаратної реалізації запропонованого методу з використанням VHDL-моделей довели, що його простота невисока часова складність дозволяють корегувати помилки синхронізації практично в темпі передачі даних.

Висновки

В результаті проведених досліджень запропоновано метод корекції подвійних помилок синхронізації, що виникають в послідовних асинхронних каналах.

Відмінністю розробленого та дослідженого методу корекції двократних помилок синхронізації в асинхронних каналах обміну даними, полягає в тому, що локалізація помилково сприйнятих на боці приймача послідовностей бітів, передача яких не синхронізується, виконується на основі аналізу сум підмножин порядкових номерів послідовностей критичної довжини, що дозволяє розширити клас помилок, що виправляються в порівнянні з відомими методами, які орієнтовані на виправлення лише однократної помилки синхронізації.

На відміну від відомих, запропонований метод не тільки гарантовано виправляє одно і двократні помилки синхронізації, але й дозволяє виправляти значну частину помилок синхронізації більшої кратності.

Важливою перевагою запропонованого методу в порівнянні з відомими [4] є те, що він значно простіший і орієнтований на логічні операції, що забезпечує високу ефективність апаратної реалізації на ПЛІС.

Запропонований метод орієнтовано для швидкісних послідовних каналів обміну цифровими даними між компонентами комп'ютерних систем широкого призначення.

Список посилань

1. Агуров П.В. Интерфейс USB. Практика использования и программирования / П.В. Агуров - СПб.:БХВ-Петербург, 2005.- 576 с.
2. Klove T. Error Detecting Codes: General Theory and Their Application in Feedback Communication Systems / T. Klove, V. Korzhik.- Norwell, MA: Kluwer, 1995. – 433 p.
3. Марковский А.П. Использование взвешенных контрольных сумм для обнаружения ошибок в линиях передачи с асинхронным кодированием данных/ А.П. Марковский , Пуя Солеймани Нежадиан, Мулки Ахмед Яссин Ал Бадайнех. //Современные информационные и электронные технологии: 9-тая международная науч.-техн. конф., 19-22 мая. 2008 г.: тезисы докл. - Одесса., 2008.- С.201.
4. Марковський О.П., Федоречко О.І., Коротенко А.А. Метод корекції одиночної помилки синхронізації в асинхронних лініях передачі цифрових даних // Вісник Національного технічного університету України "КПІ" Інформатика, управління та обчислювальна техніка, – Київ: БЕК+ – 2012 – № 57. с. 70-75.
5. Fedorechko O., Markovskiy O.P., Doukas N., Bardis N. Synchronization Error Detection of Data Transmission Errors in Asynchronous Channels // Recent Advances in Electrical Engineering Series -37. Latest trends on Systems.- Vol.1.- Proceeding of the 18-th International Conference on Systems - CSCC-14. - Santorini Island, Greece., July 17-21. 2014.- ISSN: 1790-5117, ISBN: 978-1-61804-243-9. P.179-183.