

ЕЛЕКТРОНІКА

DOI:

УДК 629.7.05-049.7

О.А. Сотник, студент

С.В. Марченко, к.ф.-м.н, доцент, smarsv1979@gmail.com

В.А. Литвиненко, к.т.н, доцент

О.М. С'янов, д.т.н, професор

Дніпровський державний технічний університет, м. Кам'янське

КАНАЛ РАДІОЗВ'ЯЗКУ З ЧАСТОТО-МОДУЛЬОВАНИМ СИГНАЛОМ НА ОСНОВІ ПРОГРАМОВАНОЇ ЛОГІЧНОЇ ІНТЕГРАЛЬНОЇ СХЕМИ

Представлено результати дослідження каналу радіозв'язку (РЗ) з частото-модульованим сигналом на основі програмованої логічної інтегральної схеми (ПЛІС). В роботі розглядається апаратно-програмна реалізація алгоритмів синтезу частото-модульованого (ЧМ) сигналу та демодуляції цього сигналу на ПЛІС. Використання ПЛІС відкриває можливість побудови високошвидкісних цифрових систем РЗ, експериментальні дослідження показали недоліки використання арифметики цілих чисел.

Ключові слова: частото-модульований сигнал; цифрова обробка сигналів; програмована логічна інтегральна схема; радіозв'язок.

The investigation results of radio communication channel (RF) with a frequency-modulated signal based on a programmable logic integrated circuit (FPGA) is presented. The paper considers the hardware-software implementation of algorithms for the synthesis of frequency-modulated (FM) signal and demodulation of this signal on the FPGA. The use of FPGA opens up the possibility of building high-speed digital RF systems, experimental investigations have shown the disadvantages of using integer arithmetic.

Keywords: frequency-modulated signal; digital signal processing; programmable logic integrated circuit; radio communication.

Постановка проблеми

Перехід від аналогового до цифрового радіозв'язку РЗ призвів до корінної зміни як принципів передавання так і елементної бази. Нині розробляються нові високоєфективні алгоритми цифрової обробки сигналів (ЦОС) [1]. Тому створення передавально-приймальних пристроїв РЗ на основі алгоритмів ЦОС на сучасному етапі розвитку є важливим. Переваги створення пристроїв РЗ з ЦОС добре відомі [2], а саме високий ступінь збігу і повторюваності характеристик; висока технологічність виготовлення; високо-костабільні експлуатаційні характеристики; більша точність у порівнянні з аналоговими; гнучка перебудова алгоритмів ЦОС.

В даній роботі буде представлено дослідження каналу РЗ з частото-модульованим сигналом [3] на основі програмованої логічної інтегральної схеми (ПЛІС, рис. 1).

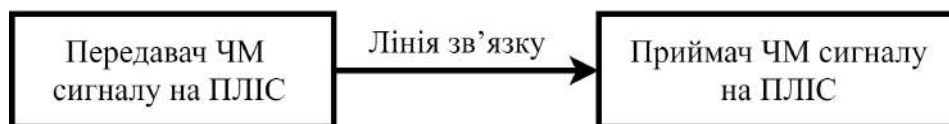


Рис. 1. Функціональна схема каналу РЗ

Аналіз досліджень та публікацій

В сучасних інженерних задачах процес створення цифрових пристроїв РЗ передбачає необхідність глибоких знань в цифровій електроніці та в цифровій та аналоговій обробці сигналів [4—6]. Особливості апаратної реалізації пристроїв ЦОС на основі ПЛІС розглядаються у

роботах [7—10]. У дослідженнях [4, 5] розглядається реалізація цифрових фільтрів (ЦФ), велика увага приділяється цифровим фільтрам із скінченною імпульсною характеристикою (СІХ). В роботах [6, 7] висвітлені питання апаратної реалізації ЦФ Гільберта та застосування його цифрових детекторів з фазовим авто підстройкою частоти. Статті [8, 9] присвячені цифровому синтезу з його застосуванням для генерації опорних, тестових сигналів у цифровій та аналоговій формі. Проблемам реалізації цифрових демодуляторів на ПЛІС пильна увага приділяється в роботі [10].

Таким чином, апаратна реалізація цифрових пристроїв РЗ на сучасному етапі розвитку телекомунікації та радіотехніки є актуальним теоретичним та практичним завданням.

Формулювання мети дослідження

Метою даної роботи є апаратно-програмна реалізація алгоритмів синтезу частото-модульованого сигналу та демодуляції цього сигналу із застосуванням ПЛІС. В роботі досліджуються особливості побудови каналу РЗ на основі ПЛІС з частото-модульованим сигналом. Дослідження каналу РЗ проводяться в середовищі ISE WebPack 14.7 [11] з додатковою візуалізацією результатів моделювання в GTKWave [12].

Програмна реалізація та моделювання створеного каналу РЗ проводиться на мові Verilog. В процесі реалізації виконується верифікація електронної цифрової схеми модулятора та демодулятора сигналу. Апаратна реалізація виконується на основі ПЛІС (Spartan-6) з використанням налагоджувальної плати фірми Alinx AX309 [13], яка є різновидом налагоджувальної плати сімейства Spartan-6 (мікросхема ПЛІС-XC6SLX9 [14]).

Виклад основного матеріалу

Розробка програмного коду на основі ПЛІС серії Spartan 6 здійснювалася за допомогою програмного середовища Xilinx ISE WebPack 14.7, що включає в себе транслятор з мови Verilog та симулятор ISIM, який використовується для перевірки логіки роботи, тобто для перегляду реакцій цифрової схеми на вхідні сигнали [11]. З'єднання віртуальних виводів з реальними здійснюється у даному середовищі за допомогою файлу з розширенням `ucf` [15].

Verilog є алгоритмічною мовою опису апаратури, яка використовується для опису та моделювання цифрових систем і дозволяє здійснювати проектування, верифікацію та реалізацію цифрових систем. Таким чином написаний лістинг «Testbench» слугує для відтворення умов експлуатації приладу.

Симулятор ISIM, який підтримує мову опису цифрової апаратури Verilog, не має вбудованих інструментів для візуалізації. Тому для якісного аналізу результатів розглянемо отримані результати симуляції частотного модулятора та синхронного демодулятора ЧМ отримані візуалізатором GTKWave (рис. 5).

Процедура симуляції роботи включає в себе створення проекту в ISIM із модулем верхнього рівня, блоком IP Core для формування необхідних тактових частот з файлом розширення `*.ucf`. Створення програмного коду головного модуля верхнього рівня (файл `main.v`) включає наступні операції, які: вказують назву верхнього модуля та описують його входи та виходи; формують: необхідну частоту дискретизації 45 МГц (викликавши екземпляр модуля створеного за допомогою IP Core) і тактові сигнали АЦП та ЦАП (за допомогою буферів подачі внутрішніх тактових сигналів на зовнішні виводи); подають отримані тактові сигнали на модуль з АЦП і ЦАП; синхронно тактовій частоті, буферизують та перетворюють формат даних АЦП в необхідний; підключають модуль демодулятора; виводять демодульований сигнал на ЦАП.

Розробка проектів для ПЛІС є багатоетапною задачею [16]. Основними інструментами проектування на сьогоднішній день є мови опису обладнання (HDL), які описують не порядок дій, а список з'єднань компонентів всередині кристалу ПЛІС [16]. У нас час використовуються інструменти, які підвищують ефективність розробника [16]: бібліотеки готових компонентів (IP-ядер), генерація HDL-шаблонів Matlab, перехід від HDL до мов високого рівня (System C, Catapult C, система AutoESL). Для симуляції використовується вбудований симулятор ISIM та програма GTKWave для візуалізації [12].

Експериментальне дослідження складається з двох етапів: дослідження модулятора ЧМ коливань та з'єданого з ним за допомогою лінії зв'язку синхронного демодулятора ЧМ коливань. Апаратна частина розробленого каналу РЗ з частотною модуляцією була реалізована на

налагоджувальній платі AX309 [14], яка оснащена двома портами розширення, які використовуються для підключення зовнішніх модулів, таких як аналого-цифрові перетворювачі (АЦП або АД) та цифро-аналогові перетворювачі (ЦАП або ДА) в роботі було використано плату розширення АЦП/ЦАП (AN108) [17]. Основні параметри Alinx AX309 приведені в табл. 1 у відповідності з блок-схемою даної налагоджувальної плати на рис. 2.

Таблиця 1. Блоки налагоджувальної плати AX309

1	Xilinx XC6SLX9	2	256Mbit SDRAM-пам'ять
3	FLASH 16Mbit	4	Модуль послідовного перетворювача USB-to-UART cp2102
5	Роз'єм живлення (mini USB)	6	Кнопка вклучення
7	JTAG порт	8	Порт для підключення камери
9	VGA порт	10	Слот для SD- карти
11	Годинник реального часу DS1302	12	Кнопки: 4 тактові для користувача, 1 перезавантаження та 1 конфігурування
13	6-значний світлодіодний дисплей	14	EEPROM 24LC04
15	4-призначених для користувача світлодіоду	16	50Mhz кварцовий генератор
17	П'єзодинамік	18	Перетворювачі напруги 3.3, 1.2В
19	40-піновий порт розширення	20	40-піновий порт розширення
21	Відсік для CR1220 елементу живлення реального часу		

Плата розширення AN108 використовує інтегральну схему (IC) AD9280, розрядністю 8bit з максимальною частотою дискретизації 32MSPS (мільйонів вибірок за секунду), а також оснащується вбудованим підсилювачем. В якості ЦАП використовується IC AD9708, розрядністю 8bit з максимальною частотою дискретизації 125MSPS (мільйонів вимірювань / секунду). Блок-схема апаратної структури модуля AN108 представлено на рис. 3. Згідно з блок-схемою модуль АЦП/ЦАП підключається до налагоджувальної плати за допомогою роз'єму з 34-ма контактами в якому розведені контакти живлення та управління мікросхемами АЦП і ЦАП. Вихідний сигнал з мікросхеми ЦАП проходить через ФНЧ та схему регулювання амплітуди і підключається до вихідного інтерфейсу. Вхідний сигнал мікросхеми АЦП поступає з вхідного інтерфейсу, ослабляється, фільтрується ФНЧ (для придушення сигналів поза робочою смугою частот АЦП та ЦАП).

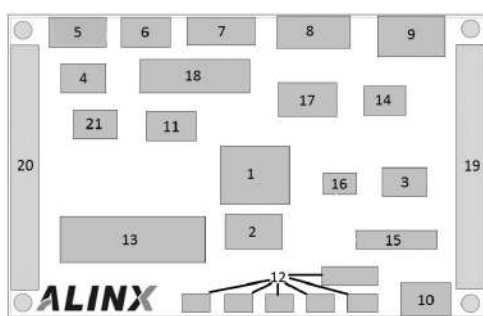


Рис. 2. Блок-схема Alinx AX309

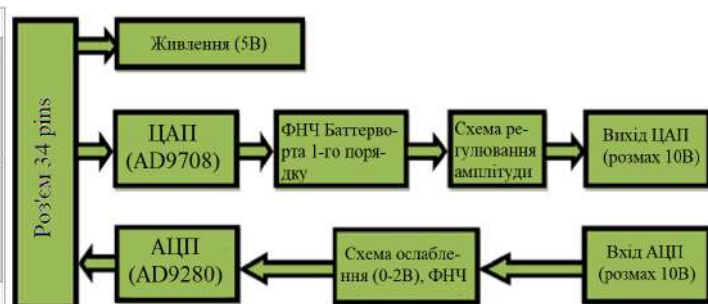


Рис. 3. Плата розширення АЦП/ЦАП

Симулятор ISIM представлено на рис. 4 (сигнал clk становить $0.00004 \text{ ms} = 25 \text{ МГц}$), ЧМ індекс фазової модуляції було обрано 7 (рис. 5).

Результат симуляції представлено на рис. 5, з них видно, що модулятор та демодулятор виконують модуляцію та демодуляцію відповідно. В даному випадку сигнал $addata$ представляє

сигнал з частотною модуляцією, а сигнал `dadata` — початковий інформаційний сигнал відновлений демодулятором, початковий однотональний інформаційний сигнал, який надходить на модулятор називається `sinin`. Відновлений сигнал містить високочастотний шум, який пов'язаний в даному випадку в першу чергу з використанням арифметики цілих чисел та з шумом петлі фазової підстройки частоти.

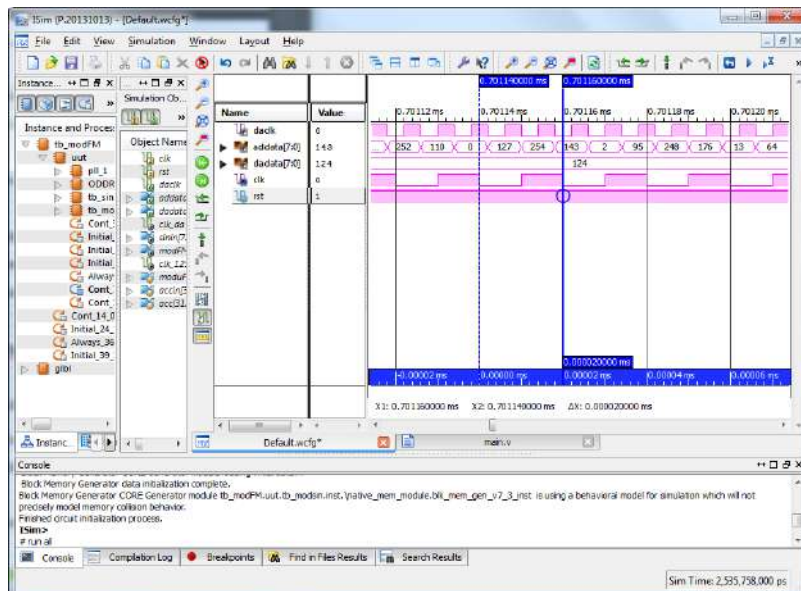


Рис. 4. Вікно ISIM з симуляцією синхронного ЧМ демодулятора

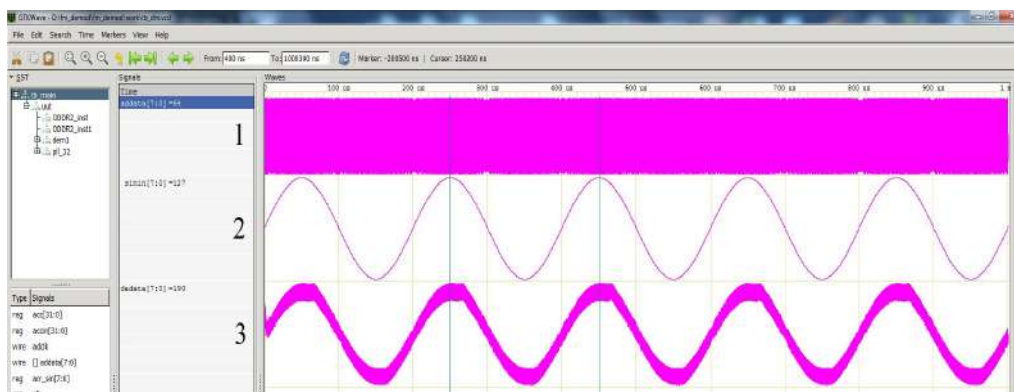
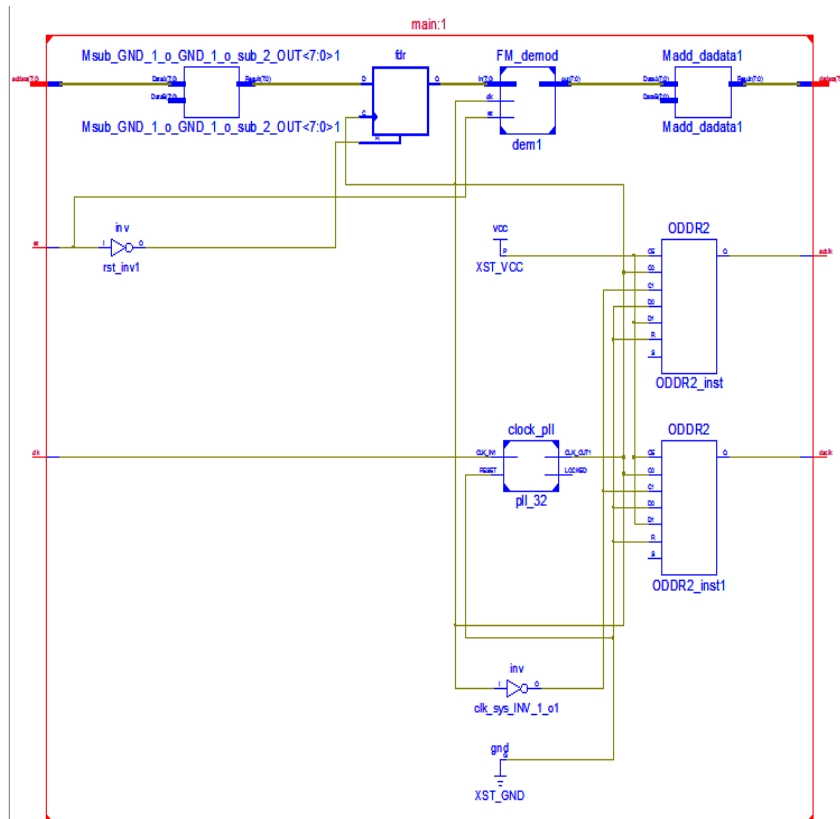
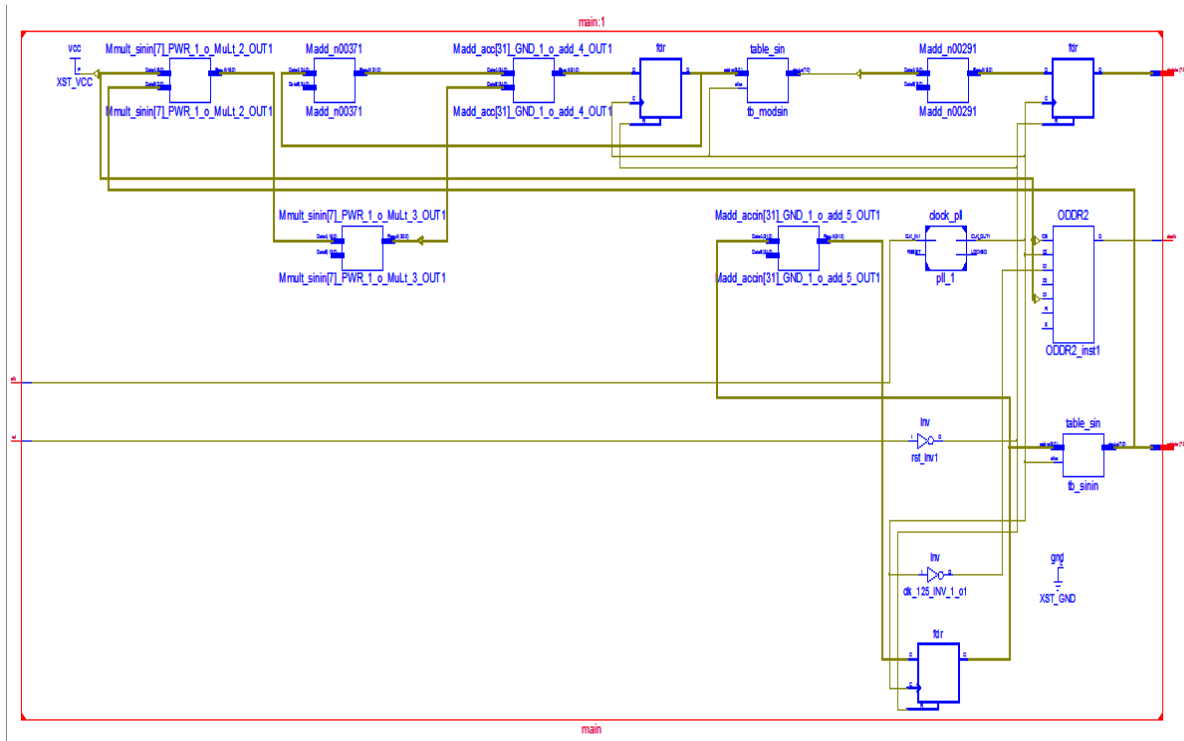


Рис. 5. Результати симуляції в GTKWave роботи синхронного ЧМ детектору з ФАП (3) та модулятора ЧМ (1) з однотональним інформаційним сигналом (2)

На етапі розміщення пристрою в конкретній ПЛІС можливо переглянути як реалізований проект на рівні опису кіл та сигналів та збереження їх станів в регістрах (Register Transfer Level, RTL-рівень) [11]. RTL-схема синтезована автоматично відповідно опису проекту синхронного частотного демодулятора (рис. 6, а) та модулятора (рис. 6, б) на мові Verilog. Схема рис. 6, а представлена блоками: віднімання (`Msub_GND_1_o_GND_1_o_sub_2_Out<7:0>1`), D-триггеру з початковим скиданням (`fdr`), модуля синхронного демодулятора (`FM_demod`), блоку додавання (`Madd_dadata1`), буферів вихідних сигналів `ODDR2`, формувача необхідних тактових частот (`clock_pll`), інверторів `inv`, формувача логічної одиниці (`XST_VCC`), формувача логічного нуля (`XST_GND`), входів: `addata(7:0)`, `re`, `dk` та виходів: `dadata(7:0)`, `adclk`, `daclk`. Схема рис. 6, б представлена аналогічними блоками: додавання, множення, тригерів, формування логічного нуля і одиниці, формувача тактової частоти, інверторів, вихідних буферів, входів та виходів, а також блоку таблиці синусів (`table_sin`).



а



б

Рис. 6. RTL схеми: а — синхронного ЧМ демодулятора, б — ЧМ модулятора

В ході досліджень було досліджено амплітудні спектральні характеристики сигналів (амплітудні спектри): на виході модулятора (рис. 7, а) та демодулятора (рис. 7, б) частотно-модульованого сигналу (використано осцилограф Velleman PCS500). Дослідження виконані у режимі реального часу з наступними параметрами: несуча частота (середня частота в спектрі) становить 10,59 МГц, девіація частоти ЧМ сигналу — 0,25 МГц, частота модулюючого сигналу 20 кГц, а коефіцієнт частотної модуляції $m = 12$.

Якість апаратно виконаної синхронної демодуляції ЧМ-сигналу на основі системи фазової підстройки частоти видно з отриманого спектру відновленого інформаційного сигналу, який представлено на рис. 7, б. Згідно цих результатів, відношення між першою гармонікою та другою складає 51,87 дБм, а саме, амплітуда першої гармоніки дорівнює 3,29 дБм, а другої придушена цифровим фільтром (ЦФ) нижніх частот до — 48,58 дБм.

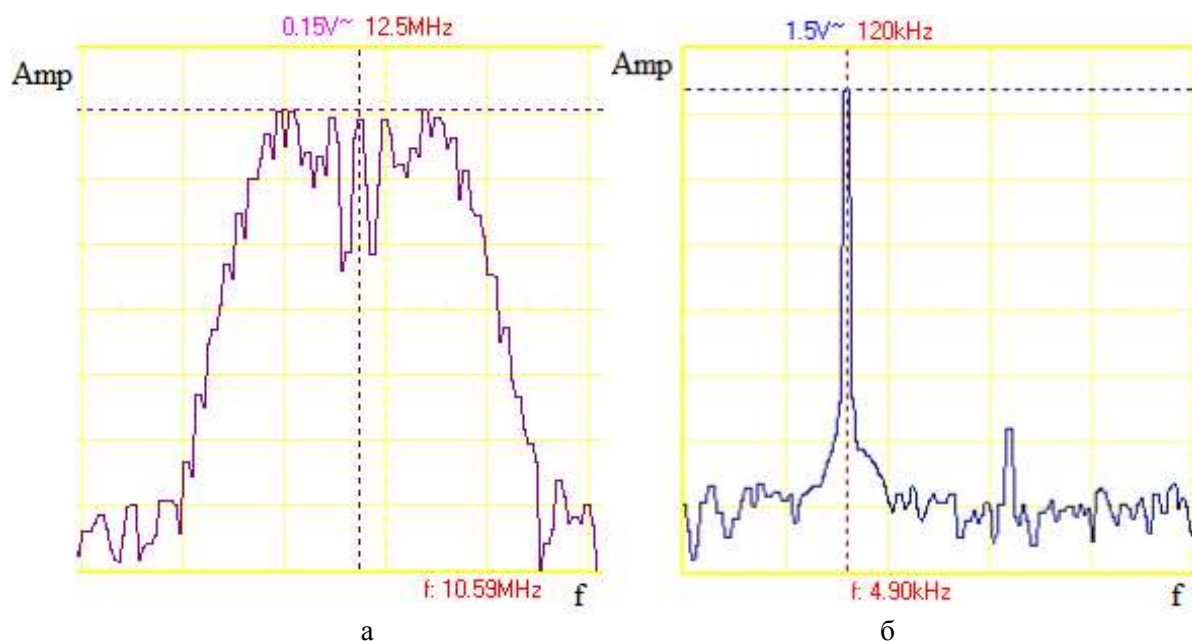


Рис. 7. Амплітудний спектр вихідного сигналу ЧМ модулятора при однотональній модуляції $m = 12$ (а) та демодульований сигнал (б)

Висновки

1. Використання ПЛІС відкриває можливості побудови високошвидкісних цифрових систем РЗ із можливістю паралельної обробки сигналів у реальному часі. В роботі доказана можливість створення віртуальної моделі РЗ на ПЛІС.

2. Результати експериментальних досліджень системи РЗ показали, що необхідно враховувати особливості арифметики цілих чисел, які вносять похибки в апаратну реалізацію алгоритмів ЦОС. Створений ЦФ нижніх частот дозволив зменшити амплітуду другої гармоніки до — 48,58 дБм.

3. Розроблена система використовується в учбовому процесі при викладанні дисциплін ЦОС, цифрові пристрої, радіотехнічні системи, проектування радіоелектронних пристроїв, сигнали і процеси в радіотехніці.

Список використаної літератури

1. Канахович Г.Ф. Системи радіозв'язку. Навчальний посібник. Київ: НАУ, 2004. 311 с.
2. Лекції. Радіотехнічні ланцюги і сигнали URL: <https://uadoc.zavantag.com/text/5319/index-2.html> (дата звернення: 11.04.2021)
3. S. Khan and Z.A. Jaffery, "Low power FIR filter implementation on FPGA using parallel

- Distributed Arithmetic," 2015 Annual IEEE India Conference (INDICON), New Delhi, 2015, doi: 10.1109/INDICON.2015.7443314
4. E. Ozpolat, B. Karakaya, T. Kaya and A. Gulten, "FPGA-based digital Filter Design for Biomedical Signal," 2016 XII International Conference on Perspective Technologies and Methods in MEMS Design (MEMSTECH), Lviv, 2016, pp. 70-73. doi:10.1109/MEMSTECH.2016.7507523.2
 5. A. A. Prince, P. K. Verma, C. Jayakumar and D. Raju, "Efficient architecture for real time implementation of Hilbert Transform in FPGA," 2015 IEEE International Conference on Electrical, Computer and Communication Technologies (ICECCT), Coimbatore, 2015, pp. 1-5. doi: 10.1109/ICECCT.2015.7226158
 6. M. Aggarwal, R. Barsainya and T.K. Rawat, "FPGA implementation of Hilbert transformer based on lattice wave digital filters," 2015 4th International Conference on Reliability, Infocom Technologies and Optimization (ICRITO) (Trends and Future Directions), Noida, 2015, pp. 1-5. doi: 10.1109/ICRITO.2015.7359331
 7. N. Pallavi, P. Anjaneyulu, P.B. Reddy, V. Mahendra and R. Karthik "Design and implementation of linear frequency modulated waveform using DDS and FPGA," 2017 International conference of Electronics, Communication and Aerospace Technology (ICECA), Coimbatore, 2017, pp. 237-241. doi: 10.1109/ICECA.2017.8212806
 8. X. Wang and Q. Mei, "High-Precision Design of DDS Based on FPGA," 2012 Third Global Congress on Intelligent Systems, Wuhan, 2012, pp. 386-389. doi: 10.1109/GCIS.2012.2011
 9. Zarifi, M.H., J. Frounchi, S. Asgarifar and M. Baradaran Nia, "FPGA implementation of a fully digital demodulation technique for biomedical application," 2008 Canadian Conference on Electrical and Computer Engineering, Niagara Falls, ON, 2008, pp. 001265-001268. doi: 10.1109/CCECE.2008.4564742
 10. Частотна модуляція. URL:
uk.wikipedia.org/wiki/Частотна_модуляція (дата звернення:12.04.2021)
 11. Певцов Е.Ф., Тарасов И.Е. Основы работы с пакетом ISE (2011 г.). URL:
http://www.edamc.mirea.ru/files/Part_2.pdf (дата звернення:13.04.2021)
 12. GTKWave. URL:
<https://uk.wikipedia.org/wiki/GTKWave> (дата звернення:14.04.2021)
 13. Spartan 6 FPGA Family. URL:
<https://www.xilinx.com/products/silicon-devices/fpga/spartan-6.html>
(дата звернення:14.04.2021)
 14. Datasheet Alinx AX309. URL:
<https://usermanual.wiki/Document/ax309xilinxspartan6developmentboardusersmanual.1355685398/view> (дата звернення:15.04.2021)
 15. Синтез, размещение и трассировка проектов WebPACK ISE. URL:
http://www.compitech.ru/html.cgi/arhiv/02_01/stat_114.htm (дата звернення:15.04.2021)
 16. Реконфигурируемые элементы. URL:
<https://www.osp.ru/os/2011/05/13009417> (дата звернення:15.04.2021)
 17. АЦП/ЦАП AN108. URL:
<https://aliexpress.ru/item/32955136187.html> (дата звернення:16.04.2021)

RADIO COMMUNICATION CHANNEL WITH FREQUENCY MODULATED SIGNAL BASED ON PROGRAMMABLE LOGICAL INTEGRATED CIRCUIT
Sotnik O., Marchenko S., Litvinenko V., Syanov O.

Abstract

This paper presents the results of an experimental study of a radio communication channel (RF) with a frequency-modulated signal based on a programmable logic integrated circuit (FPGA). The work highlights the features of hardware and software implementation of algorithms for the syn-

thesis of frequency-modulated signal and demodulation of this signal using FPGA in real time. The software part is made in the development environment of ISE WebPack 14.7 in Verilog language with the ability to visualize the results of GTKWave. Hardware implementation is performed on the basis of FPGA (Spartan-6) using a debug board from Alinx AX309.

The experimental study consists of two stages of the study of the FM oscillator modulator and the synchronous FM oscillator demodulator. In the course of research, the amplitude spectral characteristics of the signals (amplitude spectra) were obtained: at the output of the modulator and demodulator of the frequency-modulated signal, which have good agreement with the simulation results. The quality of the hardware synchronous demodulation of the FM signal based on the phase tuning system was confirmed by the result of the obtained spectrum of the restored information signal, in which the ratio between the first harmonic and the second is 51.87 dBm. When obtaining the results of experimental studies of the RH system, it was found necessary to take into account the peculiarities of the arithmetic of integers, which make errors in the hardware implementation of DSP algorithms.

Thus, the use of programmable logic integrated circuits at the present stage of development of telecommunications and radio engineering opens wide opportunities for the construction of high-speed digital RH systems with parallel signal processing in real time.

References

- [1] Kanakhovich, G.F. (2004). *Systemy radiozviazku* [Radio communication systems]. Kyiv: NAU [in Ukrainian].
- [2] Lektsii «Radiotekhnichni lantsiuhy i syhnaly» [Lectures «Radio circuits and signals»]. (n.d) uadoc.zavantag.com. Retrieved from <https://uadoc.zavantag.com/text/5319/index-2.html> [in Ukrainian].
- [3] S. Khan and Z. A. Jaffery, "Low power FIR filter implementation on FPGA using parallel Distributed Arithmetic," 2015 Annual IEEE India Conference (INDICON), New Delhi, 2015, doi: 10.1109/INDICON.2015.7443314
- [4] E. Ozpolat, B. Karakaya, T. Kaya and A. Gulten, "FPGA-based digital Filter Design for Biomedical Signal," 2016 XII International Conference on Perspective Technologies and Methods in MEMS Design (MEMSTECH), Lviv, 2016, pp. 70–73. doi:10.1109/MEMSTECH.2016.7507523.2
- [5] A. A. Prince, P. K. Verma, C. Jayakumar and D. Raju, "Efficient architecture for real time implementation of Hilbert Transform in FPGA," 2015 IEEE International Conference on Electrical, Computer and Communication Technologies (ICECCT), Coimbatore, 2015, pp. 1–5. doi: 10.1109/ICECCT.2015.7226158
- [6] M. Aggarwal, R. Barsainya and T. K. Rawat, "FPGA implementation of Hilbert transformer based on lattice wave digital filters," 2015 4th International Conference on Reliability, Infocom Technologies and Optimization (ICRITO) (Trends and Future Directions), Noida, 2015, pp. 1–5. doi: 10.1109/ICRITO.2015.7359331
- [7] N. Pallavi, P. Anjaneyulu, P. B. Reddy, V. Mahendra and R. Karthik "Design and implementation of linear frequency modulated waveform using DDS and FPGA," 2017 International conference of Electronics, Communication and Aerospace Technology (ICECA), Coimbatore, 2017, pp. 237-241. doi: 10.1109/ICECA.2017.8212806
- [8] X. Wang and Q. Mei, "High-Precision Design of DDS Based on FPGA," 2012 Third Global Congress on Intelligent Systems, Wuhan, 2012, pp. 386-389. doi: 10.1109/GCIS.2012.2011
- [9] Zarifi, M.H., J. Frounchi, S. Asgarifar and M. Baradaran Nia, "FPGA implementation of a fully digital demodulation technique for biomedical application," 2008 Canadian Conference on Electrical and Computer Engineering, Niagara Falls, ON, 2008, pp. 001265-001268. doi: 10.1109/CCECE.2008.4564742
- [10] *Stattia v interneti «Chastotna moduliatsiia»* [Article on the Internet «Frequency modulation»] (n.d) uk.wikipedia.org. Retrieved from uk.wikipedia.org/wiki/Частотна_модуляція [in Ukrainian].
- [11] Pevtsov E.F., Tarasov I.E. (2011). *Osnovy raboty s paketom ISE* [ISE package basics]. www.edamc.mirea.ru. Retrieved from http://www.edamc.mirea.ru/files/Part_2.pdf [in Russian].

-
- [12] Stattia v interneti «GTKWave» [Article on the Internet «GTKWave»]. (n.d) uk.wikipedia.org. Retrieved from <https://uk.wikipedia.org/wiki/GTKWave> [in Ukrainian].
- [13] Stattia v interneti «Spartan 6 FPGA Family». [Article on the Internet «Spartan 6 FPGA Family»]. (n.d) www.xilinx.com. Retrieved from <https://www.xilinx.com/products/silicon-devices/fpga/spartan-6.html> [in English].
- [14] Stattia v interneti «Datasheet Alinx AX309» [Article on the Internet «Datasheet Alinx AX309»]. (n.d) usermanual.wiki. Retrieved from <https://usermanual.wiki/Document/ax309xilinxspartan6developmentboardusersmanual.1355685398/view> [in English].
- [15] Lektsiia «Syntez, razmeshchenye y trassyrovka proektov WebPACK ISE» [Lecture «Synthesis, placement and tracing of projects WebPACK ISE»]. (n.d) www.compitech.ru. Retrieved from http://www.compitech.ru/html.cgi/arhiv/02_01/stat_114.htm [in Russian]
- [16] Stattia v interneti «Rekonfihuryruemye elementy» [Stattia v interneti «Reconfigurable items»]. (n.d) www.osp.ru. Retrieved from <https://www.osp.ru/os/2011/05/13009417> [in Russian]
- [17] Dokumentatsiia «ATsP/TsAP AN108» [Documentation ADC / DAC AN108]. (n.d) aliexpress.ru. Retrieved from <https://aliexpress.ru/item/32955136187.html>