УДК 04.25: 004.252; 004.258

Л. Ф. Мараховський, д.т.н., професор
(професор кафедри «Автоматизація та комп'ютерно-інтегровані технології транспорту», Державний економіко-технологічний університет транспорту)
Д. А. Янюк
(магістр, Державний економіко-технологічний університет транспорту)

СТРУКТУРНА ОРГАНІЗАЦІЯ БАГАТОРІВНЕВИХ СХЕМ ПАМ'ЯТІ З АВТОМАТОМ СТРАТЕГІЇ ДЛЯ КОЖНОЇ ГРУПИ БАГАТОРІВНЕВИХ СХЕМ ПАМ'ЯТІ

Розглянуто питання побудови багаторівневих схем пам'яті, їх надійнсть, характеристики, переваги над схемами побудованих на тригерах та способи організації, моделювання, а також їх застосування. Створення теорії побудови базових багатофункціональних схем пам'яті (БФСП) і на їх основі теорії побудови багаторівневих схем пам'яті (БРСП) розширює сучасні основи обчислювальної техніки та надає якісно нові можливості. Вони здатні підвищити швидкість перебудови алгоритмів функціонування комп'ютерних пристроїв, розширити функціональні можливості систем, збільшити тривалість існування систем на різних рівнях обробки інформації, а також здійснити одночасну обробку загальної та часткової інформації на основі ієрархічного принципу програмного управління, що принципово неможливо здійснити на комп'ютерних пристроях з пам'яттю на тригерах.

Ключові слова: *багаторівневиі схеми пам'яті, схема памяті, метод, логічний елемент, елементна база, автомат стратегії.*

Рассмотрены вопросы построения многоуровневых схем памяти, их надежность, характеристики, преимущества над схемами построенных на триггерах и способы организации, моделирования, а также их применение. Создание теории построения базовых функциональных схем памяти (БФСП) и на их основе теории построения многоуровневых схем памяти (БРСП) расширяет современные основы вычислительной техники и предоставляет качественно новые возможности. Они способны повысить скорость перестройки алгоритмов функционирования компьютерных устройств, расширить функциональные возможности систем, увеличить продолжительность существования систем на разных уровнях обработки информации, а также осуществить одновременную обработку общей и частичной информации на основе иерархического принципа программного управления, принципиально невозможно осуществить на компютерних устройствах с памятью на триггерах.

Ключевые слова: *багаторивневии схемы памяти, схема памяти, метод, логический элемент, элементная база, автомат стратегии.*

Постановка проблеми. Тригери, що є складовою частиною визначення бази даних, можуть бути виключно корисними. Вони можуть виконувати безліч функцій, включаючи наступні: Контроль змін. Каскадні операції Виклик збережених процедур Підтримка цілісності Головним недоліком тригерів є їх вплив на продуктивність операцій з

© Мараховський Л. Ф., Янюк Д. А., 2017

базою даних. І якщо від бази даних потрібно дуже швидке додавання і модифікація великих обсягів даних, тригери можуть виявитися неприйнятним рішенням. БРСП дозволяють зберігати загальну і окрему інформацію одночасно, володіють гнучкістю, вибірковістю, підвищеною надійністю, меншими витратами логічних елементів на один стан та відрізняються в позитивний бік від асинхронного *RS*-тригера. Методи, закладені в цю теорію, дозволяють розробнику за критеріями кількості станів або за кількістю перебудованих підмножин станів без особливих зусиль спроектувати структуру і функціональну схему пам'яті.

Виклад основного матеріалу дослідження. У комп'ютерах і нейрокомп'ютерів завжди порівнювалася структура і функція пам'яті з пам'яттю живих організмів, пам'ять яких має кращу вибірковість, більшою економічністю і корисністю. У комп'ютерах в даний час широко використовують монофункціональні елементарні автомати Мура (тригери), що володіють повною системою переходів і виходів з двома внутрішніми станами, які зберігаються при одному вхідному сигналі.

Актуальним напрямом усунення обмеження двійкових схем пам'яті стала розробка багатофункціональних схем пам'яті. Сучасні комп'ютерні та нейрокомп'ютерні системи, побудовані на сучасній базі, використовують послідовну інформацію у вигляді вхідних інформаційних сигналів x(t) і використовують цю інформацію в автоматної дискретному часі. Насправді інформація ієрархічна і є третім елементом Всесвіту разом з матерією і рухом. Розроблені програми по моделюванню цифрових схем, на основі яких моделювалися великі інтегральні схеми і схеми обчислювальної машини. В даний час використовують програму імітаційного моделювання в електроніці (Electronics Workbench). БРСП є ієрархічною та напіввідкритою структурою, що має можливість перебудовувати структуру запам'ятовування станів, а, отже, і змінювати напрямок активної вихідної інформації за певними вихідними вузлами. БРСП має два набори вхідних сигналів: встановлюючих і зберігаючих.

Необхідно відзначити аналогію БРСП з живою клітиною (нейроном), яка теж має два наборів вхідних сигналів: збуджуючих і гальмуючих, а також безліч вихідних сигналів, які спрямовані за певними напрямами до інших нейронів. Перспективним і актуальним напрямком розвитку схем з пам'яттю є створення на основі БФСП багаторівневих схем пам'яті (БРСП), які є основою для вирішення актуального завдання: запам'ятовувати загальну і приватну інформацію за один машинний такт T, що принципово не можна виконати на комп'ютерних пристроях з пам'яттю на тригерах .

Одноступінчаті БРСП використовують кілька з'єднаних по вертикалі БФСП, які можна синхронізувати одним сигналом. Кількість рівнів БРСП в символьному його описі на одну одиницю менше ставитися з символом у для класу L_N і з символом b для класу L_N^B. БРСП може бути одно- і двоступенева. Друга ступінь працює в режимі перезапису коду з першого ступеня в другу при синхроімпульсі τ_2.

Нижні БРСП мають в кожному розряді тільки по одному логічному елементу, то такі БРСП є напівзакритими структурами. БРСП має ще внутрішній багатофункціональний зв'язок, і запам'ятовують всі свої стани при одному наборі зберігаючих $e_j(\Delta)$ вхідних сигналів, коли на всіх вхідних вузлах сигнал дорівнює логічному нулю, тобто є неактивним.

Для синтезу по символьному опису БРСП необхідно спочатку перевірити допустимість синтезу БФСП, який входить в склад БРСП, з урахуванням обмежень логічних елементів, а потім виконати проектування БФСП з відповідним символьним описом. Суть синтезу БРСП на БФСП полягає в знаходженні ієрархічних зв'язків між вихідними вузлами нижніх БФСП і вхідними вузлами верхніх БФСП. Синтез БРСП складається з наступних кроків:

1) Визначаємо символьний опис верхньої БФСП при заданій кількості станів БРСП, які запам'ятовуються.

2) Проектуємо символьний опис нижніх БФСП і на їх основі проектуємо символьний опис БРСП.

3) За символьному опису БФСП, що входять в опис БРСП, проектуємо БФСП на певних логічних елементах, дотримуючись при цьому обмеження самих логічних елементів за кількістю входів і навантажувальні здібностям.

4) Визначивши активні сигнали зберігають вхідних сигналів БФСП, здійснюємо з'єднання між вихідними вузлами нижніх БФСП і наборами зберігають вхідних сигналів логічних елементів верхніх БФСП в асинхронної одноступінчатої БРСП.

5) Якщо по символьному опису БРСП синхронізована, то встановлюють вхідні вузли асинхронної БРСП з'єднуємо з вхідними вузлами через схеми І, сприймають додатково синхроімпульс.

6) Якщо по символьному опису БРСП двоступенева, то проектуємо другу сходинку БРСП, аналогічну першому ступені, і вихідні вузли першого ступеня БРСП з'єднуємо разом з синхроімпульсом через схеми з установчими вхідними вузлами другого ступеня БРСП.

Розглянуто методи синтезу БРСП за їхнім символьним описом, що дозволяє формалізувати їх проектування з урахуванням обмежень логічних елементів за кількістю вузлів та навантажувальної здатності. У БРСП реалізується принцип ієрархічного програмного управління, що дозволяє обробляти приватну інформацію в верхніх БФСП одночасно із загальною інформацією в нижніх БФСП, що принципово їх відрізняє від тригерів. Сутність принципу запам'ятовування станів у багаторівневої схеми пам'яті з багатофункціональною системою організації полягає в тому, що наборами встановлюють x_i(t) вхідних сигналів стану керованих БФСП A_i запам'ятовуються тільки в тому випадку, коли вони належать блокам πі станів, що запам'ятовуються під впливом набору зберігає $e_j(\Delta)$ вхідного сигналу, що генерується керуючої БФСП A_k.

Багаторівнева схема пам'яті з багатофункціональною системою організації визначає таку структуру, в якій багатофункціональний режим роботи одного пристрою визначається іншим пристроєм, так званим автоматом стратегії A_m. Автомат стратегії A_m в багаторівневих схемах пам'яті може бути моно- або багатофункціональна схема пам'яті. Структуру багаторівневих схем пам'яті з багатофункціональною системою організації можна визначити як схему, яка зберігає на різних рівнях загальну (в автоматі стратегії A_m) і приватну (в керованої БФСП) інформацію. Принцип структурної організації елементарних багаторівневих схем пам'яті класу L_N^B з автоматом стратегії для кожної групи БФСП полягає в їх розподілі на керуючі і керовані багатофункціональні схеми пам'яті (БФСП), які з'єднані між собою в такий спосіб:

БА кожної і-ї групи керованої БФСП A_i, кількість q_i яких більше одиниці (q_i>1), через вхідні шину, на яку подаються набори зберігаючих $e_j(\Delta)$ вхідних сигналів, з'єднані відповідно з вихідними шинами однієї окремої БФСП A_k або БСП (k = 1, 2, ..., N); керуючі вхідні і вихідні шини БФСП A_i (i = 1, 2, ..., N) відповідно з'єднані з загальними вхідними та вихідними шинами багаторівневих схем пам'яті.

Багаторівнева схема пам'яті класу володіє наступними характерними властивостями:

- в стані змінювати структуру запам'ятовування станів схем пам'яті;
- встановлювати стійкі стани меншою кількістю вхідних сигналів, ніж багатостабільні тригери, які надходять на керуючу частину вхідних вузлів схеми пам'яті;
- використовувати меншу кількість вихідних сигналів;
- використовувати меншу кількість внутрішніх зв'язків між елементами схеми;
- використовувати не менше двох рівнів багатофункціональних схем пам'яті;

- виходи елементів І-НІ (АБО-НІ), *к*-ї групи (q_k> 1) БФСПj через додатково введені Т-входові елементи І (АБО) з навантажувальною здатністю Р2 або безпосередньо виходи елементів І-НІ (АБО-НІ) *k*-ї групи (q_k= 1) з'єднані безпосередньо з одним із входів елементів І-НІ (АБО-НІ) інших груп даного БФСП$_j$;

- БФСП$_j$, що розташовані за J рівнями, причому верхній рівень БФСП$_j$ містить n_j БФСП$_j$ елементів, розбитих не менше ніж на дві групи M_J (J = 2) по q_j елементів;

- один вхід кожного елемента І-НЕ (АБО-НЕ) к-тї групи (q_j,k> 1) БФСП$_j$ *j*-го рівня з'єднаний з одним інформаційним входом j-ї групи схеми пам'яті $ШZ_j$, а виходи елементів І-НІ (АБО-НІ) БФСП$_j$ з'єднані відповідно з інформаційними виходами *j*-ї групи схеми пам'яті $ША_j$;

- входи елементів І-НІ (АБО-НІ) кожної k-ї групи ($q_{j,k}$> 1) БФСП$_j$ – *j*-го рівня з'єднані відповідно з виходами елементів І І-НІ (АБО-НІ) *k*-ї групи ($q_{s,k}$ = 1) БФСП$_s$ нижчих, крім останнього виходу, створюючи зв'язку між рівнями схеми пам'яті.

Відмінною структурною особливістю схеми пам'яті є багаторівнева пам'ять, де кожен структурний J-й рівень складається з стійкою БФСП$_j$, причому в БФСП$_j$ з'єднані тільки входи тих елементів, які належать до *k*-ї групи ($q_{j,k}$> 1), з виходами схеми пам'яті нижніх рівнів БФСП$_s$ (s=j -1), які призначені для управління структурою запам'ятовування станів у групах ($q_{j,k}$> 1) БФСП$_j$ верхньої.

Відмінною функціональною особливістю пристрою є робота керованих схем БФСП$_j$ верхніх рівнів у декількох різних підмножин своїх станів, що визначають сукупність станів схем БФСПs (s = j -1) нижніх рівнів. Це дозволяє змінювати відображення вхідної та вихідної інформації в керованих схемах БФСП^j, перенаправляти вихідну інформацію в певний напрям і встановлювати стан схеми пам'яті меншою кількістю вхідних сигналів, що надходять лише на частину вхідних вузлів пристрою.

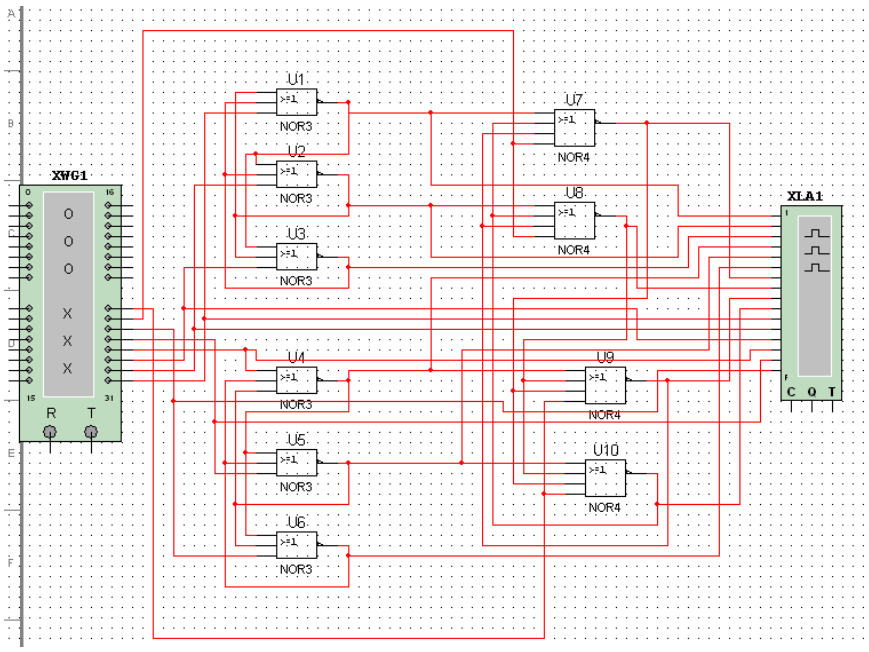

Рис. 4. **Багаторівнева схеми пам'яті з автоматом стратегії для кожної групи**

Схема складається з трьох БФСП$_j$ (БФСП$_1$, БФСП$_2$, БФСП3), які розташовані на двох рівнях (*j* = 2). На верхньому рівні знаходиться керована БФСП3, яка має чотири елементи І-НІ (*n* = 4), і розбита на дві групи (*m* = 2) по два елементи (*q* = 2) в кожній групі. Керуючі схеми БФСП$_1$ і БФСП2, які перебувають на першому (нижньому) рівні, призна-

чені для управління структурою запам'ятовування станів у групах (q = 2) верхньої схеми БФСП$_3$ і мають по три елементи І-НІ (n = 3), які розбиті на три групи (m = 3) між окремими елементами (q = 1) в кожній. БФСП$_1$ – БФСП$_3$ побудовані на логічних елементах І-НІ.

В даному випадку, функціональна схема багатоступінчастого пристрою пам'яті запам'ятовує 18 станів і має 8 вхідних і 10 вихідних вузлів, які в сумі складають 18 зовнішніх вузлів, менше ніж в БСП на 18 вузлів (у два рази), а також 24 внутрішніх зв'язків між усіма елементами І-НЕ, що менше 12,75 раза, ніж є в БСП 18 $\times$ 17 = 306. Функціональний режим розглядає роботу схеми пам'яті в двох режимах: однозначному і укрупненому. Встановлюють набори x_i вхідних сигналів при однозначному режимі.

Однозначний режим розглядає роботу керованого БФСПj (j = 3) верхнього рівня в різних підмножинах станів, які запам'ятовуються при відповідних станах БФСП$_s$ нижніх рівнів. В цьому режимі керована БФСП$_j$ функціонує в різних підмножинах своїх станів відповідно до станів БФСП$_s$, які здатні змінювати відображення інформації. Переходи з керованої БФСП$_j$ з одного стану в інший однієї підмножини здійснюються під впливом установчих наборів x_i вхідних сигналів.

Укрупнений режим розглядає зміну станів всіх БФСП$_j$ схем при надходженні установчих наборів x_i вхідних сигналів тільки на вхідних вузлах керованих БФСП$_s$ нижніх рівнів. В цьому режимі переходи в БФСПs нижніх рівнів з одного стану в інший стан здійснюються під впливом установчих наборів x_i вхідних сигналів, а укрупнені переходи в БФСП$_j$ верхніх рівнів з одного стану в інший здійснюються під впливом внутрішніх наборів зберігаючих $e_j(\Delta)$ вхідних сигналів, які надходять з виходів БФСПs нижніх рівнів на певні елементи i-х груп, що мають більше одного БА в БФСП$_j$ верхніх рівнів.

Таким чином, запропонована схема є єдиною багаторівневою схемою пам'яті, яка має здатність змінювати відображення інформації в БФСП$_j$ верхніх рівнів без впливу установчих вхідних сигналів за рахунок внутрішніх зв'язків між рівнями схем. Вона має менше внутрішніх зв'язків між елементами і може змінювати стан всього пристрою меншою кількістю вхідних сигналів, що в тригерах здійснювати принципово неможливо.

Висновки. Багаторівневі схеми пам'яті, які розглянуті, є напівзакриті структури. Вони, як і багатофункціональні схеми пам'яті, мають велику перевагу в порівнянні з тригерами по апаратурним витратам на один запам'ятовуючий стан, по внутрішнім та зовнішнім зв'язкам, за функціональними можливостями обробки загальної та окремої інформації за один машинний такт T, а також підвищеною надійністю. БРСП можна використовувати при побудові реконфігуровних і більш надійних комп'ютерних пристроїв і систем, ніж комп'ютерні пристрої з пам'яттю на тригерах. Таким чином, можливо зробити основний висновок, що застосування багатофункціональних та багаторівневих схем пам'яті, що представляють новітні схеми пам'яті нової інформаційної технології, дозволяють побудову конкурентоспроможних комп'ютерних і нейронних систем.

ЛІТЕРАТУРА

1. *Глушков В.М.* Синтез цифровых автоматов. – М.: Физматгиз, 1962. – 476 с.

2. *Малиновский Б.Н.* Справочник по цифровой вычислительной технике: (процессоры и память) / Е.И. Брюхович, Е.Л. Денисенко и др. / Под ред. Б.Н. Малиновского. – К.: «Техніка», 1979. – 366 с.

3. *Мараховский Л.Ф.* Многоуровневые устройства автоматной памяти. I ч. – Киев: УСиМ. – № 1.– 1998.– С. 66-72.

4. *Мараховский Л.Ф.* Многоуровневые устройства автоматной памяти. II ч. – Киев: УсиМ. – № 2. – 1998. – С. 63-69.

5. *Брюхович Е.И.* Будущее вычислительной техники, каким оно представляется в естественных законах и научном предвидении. / Праці міжнародного симпозіуму з історії створення перших ЕОМ та внеску європейців в розвиток комп'ютерних технологій – К.: «Феникс» УАИНП, 1998. – С. 344-349.

6. *Мараховский Л.Ф..* Три научных направления в области обработки информации / Москвин М.В «ІНТЕРНЕТ-освіта-наука-2012», восьма міжнародна науково практична конференція ІОН-2012, 1-5 жовтня, 2012: Збірник праць. – Вінниця: ВНТУ, 2012. – С. 215-219.

7. *Мараховський Л.Ф.* Комп'ютерні інформаційно-керуючі системи на залізничному транспорті: Навчально-методичний посібник для магістрів спеціальності 8.05020203 «Автоматика та автоматизація на транспорті (залізничний транспорт)». – К.: ДЕТУТ, 2015. – 127 с.

8. *Мараховський Л.Ф.* Основы новой информационной технологии. Фундаментальные основы проектирования реконфигурируемых устройств компьютерных систем и искусственного нейрона / Михно Н.Л. – Germany: Saarbrcken, LAP LAMBERT, 2012. – 347 с.

Leonid F. Marahovskij, Doctor of Science (Technical Sciences), Professor
(Professor Automation and Computer-Integrated Technology of Transport Chair, State University for Transport Economy and Technologies)
Dmitry Yaniuk
(Master, State University for Transport Economy and Technologies)

STRUCTURAL ORGANIZATION OF MULTILEVEL MEMORY SCHEMES WITH AUTOMATIC STRATEGIES FOR THE EACH GROUP OF MULTILEVEL MEMORY SCHEMES

The question of building a multilevel memory circuits, their reliability, features, advantages of the scheme is based on triggers and ways of organizing, modeling and their application. Creating a basic theory of building multi-circuit memory (BFSP) and, based on the theory of building a multilevel memory circuits (BRSP) extends the current fundamentals of computer technology and provides new opportunities. They can increase the speed of adjustment algorithms functioning computer devices extend the functionality of systems, extend the existence of different levels of information processing, as well as to the simultaneous processing of total and partial information on the basis of the principle of hierarchical management software that essentially can not be done on a computer ' Books on devices with memory triggers.

Keywords: *bahatorivnevyi memory circuits, memory scheme, method, logic elements, electronic components, machine strategy.*

REFERENCES

1. Glushkov V.M. Sintez tsifrovyih avtomatov [Synthesis of digital automata], Moscow, Fizmatgiz, 1962, 476 p.

2. Malinovskiy B.N. Spravochnik po tsifrovoy vyichislitelnoy tehnike: (protsessoryi i pamyat) [Reference book on digital computing: (processors and memory)] E.I. Bryuhovich, E.L. Denisenko i dr. / Pod red. B.N. Malinovskogo, K.iev, «TehnIka» pub., 1979, 366 p.

3. Marahovskiy L.F. Mnogourovnevyie ustroystva avtomatnoy pamyati [Multilevel devices of automatic memory]. I ch, Kiev: USiM, #1, 1998, pp. 66-72.

4. Marahovskiy L.F. Mnogourovnevyie ustroystva avtomatnoy pamyati [Multilevel devices of automatic memory]. II ch, Kiev: UsiM, #2, 1998, pp. 63-69.

5. Bryuhovich E.I. Buduschee vyichislitelnoy tehniki, kakim ono predstavlyaetsya v estestvennyih zakonah i nauchnom predvidenii. [The future of computing, as it appears in natural laws and scientific foresight] Pratsi mizhnarodnoho sympoziumu z istoriyi stvorennya pershykh EOM ta vnesku yevropeytsiv v rozvytok komp»yuternykh tekhnolohiy, Kiev, «Feniks» UAINP, 1998, pp. 344-349.

6. Marahovskiy L.F. Tri nauchnyih napravleniya v oblasti obrabotki informatsii [Three scientific directions in the field of information processing] Moskvin M.V «INTERNET-osvIta-nauka-2012», vosma mIzhnarodna naukovo praktichna konferentsIya ION-2012, 1-5 zhovtnya, 2012: ZbIrnik prats, VInnitsya: VNTU, 2012, pp. 215-219.

7. Marakhovskyi L.F. Kompiuterni informatsiino-keruiuchi systemy na zaliznychnomu transporti [Computer information and control systems for railways] Navchalno-metodychnyi posibnyk dlia mahistriv spetsialnosti8.05020203 «Avtomatyka ta avtomatyzatsiia na transporti (zaliznychnyi transport)», Kiev, DETUT, 2015, 127 p.

8. Marahovskiy L.F. Osnovyi novoy informatsionnoy tehnologii. Fundamentalnyie osnovyi proektirovaniya rekonfiguriruemyih ustroystv kompyuternyih sistem i iskusstvennogo neyrona [Fundamentals of the new information technology. The fundamental foundations of designing reconfigurable devices of computer systems and an artificial neuron] Mihno N.L., Germany: Saarbrcken, LAP LAMBERT, 2012, 347 p.