

doi: <https://doi.org/10.15407/emodel.42.02.003>  
УДК 004.052.32+681.518.5

**В.В. Сапожников**, д-р техн. наук, **Вл.В. Сапожников**, д-р техн. наук,  
Петербургский государственный университет путей сообщения  
Императора Александра I

(Российская Федерация, 190031, Санкт-Петербург, Московский пр., 9,  
тел. (+7) (812) 4578579, e-mail: port.at.pgups@gmail.com),

**Д.В. Ефанов**, д-р техн. наук

Российский университет транспорта

(Российская Федерация, 127994, Москва, ул. Образцова, д. 9, строение 9,  
тел. (+7) 911 7092164, (+7) (915) 4809191, e-mail: TrES-4b@yandex.ru)

### **Обнаружение неисправностей в комбинационных логических схемах на основе их контроля по группам симметрично независимых выходов**

Описаны основные результаты исследования развития способов контроля комбинационных схем на основе свойств кодов, ориентированных на обнаружение ошибок определенных видов и кратностей. Установлено, что при использовании классических кодов с суммированием (кодов Бергера) и ряда их модификаций при организации контроля комбинационных схем возможно использование особенностей обнаружения как монотонных, так и части немонотонных ошибок в информационных векторах. Показано, что возможен поиск таких групп выходов комбинационных схем, на которых возникают только симметричные ошибки вследствие одиночных неисправностей элементов внутренней структуры схемы. Такие группы выходов названы симметрично независимыми группами (СН-группами) выходов. Определены условия принадлежности группы выходов комбинационной схемы к СН-группам выходов. Показано, что каждая СН-группа выходов может контролироваться с помощью отдельной подсистемы контроля на основе кода с обнаружением любых несимметричных ошибок (и любых несимметричных ошибок до определенных кратностей). Предложены способы поиска СН-групп выходов при организации контроля комбинационных схем. Особое внимание уделено контролю неисправностей на входах комбинационных схем.

*К л ю ч е в ы е с л о в а:* комбинационная схема, самопроверяемая структура, монотонная, симметричная, асимметричная ошибки, группы симметрично независимых выходов.

При разработке самопроверяемых дискретных устройств применяемые методы избыточного кодирования используют как на этапах их синтеза, так и при организации систем тестового и функционального диагности-

© Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., 2020

рования [1, 2]. Особенности обнаружения ошибок избыточными кодами позволяют разработчикам дискретных устройств наделять их структуры свойствами контролепригодности и обнаружения неисправностей [3].

Избыточное кодирование применяют и при организации контроля комбинационных составляющих дискретных устройств, или комбинационных логических схем [4]. В этом случае подразумевается, с одной стороны, учет характеристик обнаружения ошибок конкретным кодом, а с другой, — учет особенностей структур самих комбинационных схем. Среди таких свойств кодов можно выделить возможности обнаружения ошибок определенных видов (сочетаний искажений нулевых и единичных разрядов) и кратностей (числа искажаемых при ошибке разрядов) [5]. Их учет возможен совместно с учетом таких особенностей структуры комбинационной схемы, как ранжирование логических элементов (или групп элементов) в структуре, связи между ними, наличие ветвлений, число путей между полюсами схемы с нечетным и четным количеством инверсий и др. [6].

При этом возможны два пути. Первый состоит в выборе кода, соответствующего заданной структуре схемы: поиск кода с нужными свойствами или выделение групп выходов схемы для отдельного контроля по тому или иному признаку и др. Второй путь состоит в специальном преобразовании структуры комбинационной схемы в некоторую контролепригодную по выбранному коду структуру, т.е. такую, которая будет допускать трансляцию внутренних ошибок только определенного вида или кратности на рабочие выходы.

Наиболее часто при синтезе комбинационных схем с обнаружением неисправностей применяют коды, ориентированные на обнаружение неисправностей, а не на их исправление. Это позволяет получать устройства со сравнительно небольшой структурной избыточностью (как правило, по сравнению с дублированием и последующим сравнением значений одноименных выходов [7]).

Среди таких кодов — коды паритета [8], равновесные коды [9], коды с суммированием (коды Бергера) [10] и их разнообразные модификации [11—13]. Каждый из таких кодов обладает своими особенностями обнаружения ошибок. Например, коды паритета не обнаруживают любые ошибки с четными кратностями, но обнаруживают любые одиночные искажения. Это свойство кодов паритета эффективно применяется при организации контроля комбинационных схем по группам независимых выходов (Н-группам выходов) или после преобразования структуры схемы в схему с одной Н-группой выходов [14—16].

Другим примером являются равновесные коды и классические коды Бергера, обладающие свойством обнаружения любых однонаправленных

(монотонных) искажений (часто используется именно это свойство данных кодов). В случае применения этих кодов либо осуществляется поиск групп монотонно независимых выходов (МН-групп выходов), либо преобразование структуры схемы в схему с одной МН-группой выходов [17, 18]. Возможно использование и других особенностей избыточных кодов и структур контролируемых комбинационных схем [19, 20].

Предлагается осуществлять контроль комбинационных схем по обнаружению любых ошибок, кроме разнонаправленных ошибок четной кратностью, связанных с одновременным искажением одинакового числа нулевых и единичных разрядов (симметричных ошибок). Таким свойством обладают как равновесные коды, так и коды Бергера и некоторые их модификации.

**Виды ошибок и коды с обнаружением определенных видов ошибок.** В [5] предложена классификация ошибок в векторах избыточных кодов, в соответствии с которой ошибки делятся на несколько видов: симметричные, монотонные и асимметричные.

Симметричные ошибки связаны с одновременным искажением одинакового числа нулевых и единичных разрядов.

Монотонные ошибки вызваны искажениями только нулевых или только единичных разрядов.

Асимметричные ошибки происходят при одновременном искажении неравного числа нулевых и единичных разрядов.

Следует заметить, что распределены эти виды ошибок в различных пропорциях в кодовых векторах в зависимости от их длин. При увеличении длины кодового вектора доля асимметричных ошибок увеличивается, тогда как доля монотонных ошибок уменьшается постепенно, а симметричных — уменьшается незначительно. Например, при условии формирования полного множества выходных комбинаций в десятиразрядном кодовом векторе доля монотонных ошибок составляет приблизительно 0,2%, симметричных — 24,6% и асимметричных — 75,2%.

Из всего многообразия кодов, ориентированных на обнаружение ошибок, выделяются специальные классы кодов, обнаруживающих любые монотонные ошибки или любые монотонные ошибки до установленной кратности  $d_0$  — так называемые  $UED(m, k)$  и  $d_0$ - $UED(m, k)$  коды, где  $m$  и  $k$  — длины информационных и контрольных векторов. К таким кодам, например, относятся коды Бергера и коды Боуза—Лина (модульные коды с суммированием). Коды Бергера — это  $UED(m, k)$  коды, а коды Боуза—Лина — коды  $d_0$ - $UED(m, k)$ , где  $d_0$  определяется значением модуля, выбранного при построении кода [21, 22].

В [23] показано, что при построении самопроверяемых устройств можно также учитывать и возможность обнаружения некоторыми кодами кроме любых монотонных ошибок также и любых асимметричных ошибок в информационных векторах. Введем в рассмотрение класс кодов с обнаружением любых монотонных и асимметричных ошибок –  $UAED(m, k)$ -коды, а также класс кодов с обнаружением любых монотонных и асимметричных ошибок до установленных значений кратностей  $d_v$  и  $d_a$ , т.е. соответственно  $d_v, d_a$ -  $UAED(m, k)$ -коды. Учет особенностей  $UAED(m, k)$  и  $d_v, d_a$ - $UAED(m, k)$  кодов позволяет уменьшать структурную избыточность синтезируемых дискретных устройств.

При организации контроля комбинационных схем с использованием  $UAED(m, k)$  и  $d_v, d_a$ - $UAED(m, k)$  кодов также возможно два указанных выше подхода, однако МН-группы при этом расширяются до так называемых монотонно-асимметрично независимых групп выходов (МАН-групп). Это позволяет упростить конечные структуры самопроверяемых комбинационных схем. Поиск МАН-групп выходов аналогичен поиску групп выходов, допускающих только симметричные искажения. Опишем условия поиска таких групп выходов комбинационных схем.

**Симметрично независимые группы выходов комбинационных схем.** Для установления условий принадлежности выходов схем к группам симметрично независимых выходов рассмотрим примеры комбинационных схем, изображенные на рис. 1. Обозначим множество выходов комбинационной схемы  $\{f_1, f_2, \dots, f_m\}$ , а множество ее входов —  $\{x_1, x_2, \dots, x_n\}$ . Обозначим также через  $\omega_r^{a_r} = \{f_{j_1}, f_{j_2}, \dots, f_{j_q}\}$  подмножество выходов комбинационной схемы ( $j_1, j_2, \dots, j_q \in \{1, 2, \dots, m\}$ ), искажаемых при внесении в устройство неисправности выхода элемента со значением выходной функции  $y_i$  (элемента  $G_i$ ) и при поступлении на вход схемы двоичного набора  $a_r = (x_1 x_2 \dots x_n)$ , где  $a_r$  — десятичный эквивалент двоичного набора,  $a_r \in \{0, 1, \dots, 2^n\}$ ,  $q \in \{2, 3, \dots, m\}$ .

Как видим, на рис. 1, а, изображена схема, на выходах которой возможно возникновение симметричной ошибки (табл. 1). Для нее запишем:

$$\begin{aligned} \omega_1^0 &= \{f_2, f_3, f_4\}, & \omega_1^4 &= \{f_3, f_4, f_5\}, \\ \omega_1^1 &= \{f_2, f_4\}, & \omega_1^5 &= \{f_3, f_4, f_5\}, \\ \omega_1^2 &= \{f_1, f_2, f_3, f_4\}, & \omega_1^6 &= \{f_3, f_5\}, \\ \omega_1^3 &= \{f_1, f_2, f_4\}, & \omega_1^7 &= \{f_3, f_4, f_5\}. \end{aligned}$$

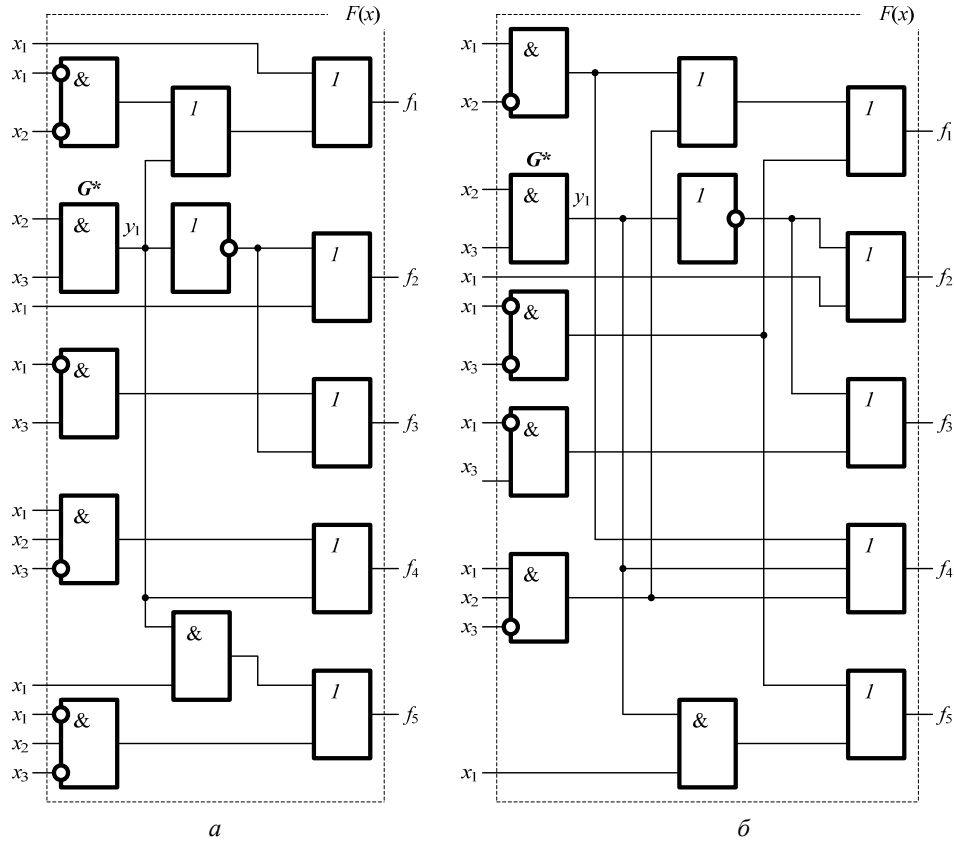


Рис. 1. Комбинационная схема, на выходах которой возможно возникновение симметричной ошибки (а), и комбинационная схема, на выходах которой симметричные ошибки исключены (б)

На выходах схемы, изображенной на рис. 1, б, несмотря на топологию, возникновение симметричных ошибок исключено (табл. 2). Для нее запишем:

$$\begin{aligned}
 \omega_1^0 &= \{f_2, f_3, f_4\}, & \omega_1^1 &= \{f_1, f_2, f_4, f_5\}, \\
 \omega_1^2 &= \{f_2, f_3, f_4\}, & \omega_1^5 &= \{\emptyset\}, \\
 \omega_1^3 &= \{f_1, f_2, f_4, f_5\}, & \omega_1^6 &= \{\emptyset\}, \\
 \omega_1^4 &= \{\emptyset\}, & \omega_1^7 &= \{f_1, f_3, f_4\}.
 \end{aligned}$$

Обозначим через  $V_t$  множество различных подмножеств  $\omega_t^{a_r}$  с четным числом элементов. Если имеется несколько одинаковых подмножеств

$\omega_t^a$ , то в множество  $V_t$  включается одно любое из них. Например, для схемы, приведенной на рис. 1, а,  $V_1 = \{\omega_1^2 = \{f_1, f_2, f_3, f_4\}, \omega_1^1 = \{f_2, f_4\}, \omega_1^6 = \{f_3, f_5\}\}$ . Аналогично для схемы, приведенной на рис. 1, б,  $V_1 = \{\omega_1^1 = \{f_1, f_2, f_4, f_5\}\}$ .

**Определение 1.** Подмножество выходов комбинационной схемы  $\{f_{j_1}, f_{j_2}, \dots, f_{j_q}\}$  ( $j_1, j_2, \dots, j_q \in \{1, 2, \dots, m\}$ ) назовем СН-группой, если неисправность выхода любого элемента  $G_t$  в структуре устройства не вызывает на этих выходах ошибку симметричного типа.

*Таблица 1*

$x_1$	$x_2$	$x_3$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$\frac{\partial f_1}{\partial y_1}$	$\frac{\partial f_2}{\partial y_1}$	$\frac{\partial f_3}{\partial y_1}$	$\frac{\partial f_4}{\partial y_1}$	$\frac{\partial f_5}{\partial y_1}$
0	0	0	1	1	1	0	0	0	1 (1→0)	1 (1→0)	1 (0→1)	0
0	0	1	1	1	1	0	0	0	1 (1→0)	0	1 (0→1)	0
0	1	0	0	1	1	0	1	1 (0→1)	1 (1→0)	1 (1→0)	1 (0→1)	0
0	1	1	1	0	1	1	0	1 (1→0)	1 (0→1)	0	1 (1→0)	0
1	0	0	1	1	1	0	0	0	0	1 (1→0)	1 (0→1)	1 (0→1)
1	0	1	1	1	1	0	0	0	0	1 (1→0)	1 (0→1)	1 (0→1)
1	1	0	1	1	1	1	0	0	0	1 (1→0)	0	1 (0→1)
1	1	1	1	1	0	1	1	0	0	1 (0→1)	1 (1→0)	1 (1→0)

*Таблица 2*

$x_1$	$x_2$	$x_3$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$\frac{\partial f_1}{\partial y_1}$	$\frac{\partial f_2}{\partial y_1}$	$\frac{\partial f_3}{\partial y_1}$	$\frac{\partial f_4}{\partial y_1}$	$\frac{\partial f_5}{\partial y_1}$
0	0	0	1	1	1	0	1	0	1 (1→0)	1 (1→0)	1 (0→1)	0
0	0	1	0	1	1	0	0	1 (0→1)	1 (1→0)	0	1 (0→1)	1 (0→1)
0	1	0	1	1	1	0	1	0	1 (1→0)	1 (1→0)	1 (0→1)	0
0	1	1	1	0	1	1	1	1 (1→0)	1 (0→1)	0	1 (1→0)	1 (1→0)
1	0	0	1	1	1	1	0	0	0	1 (1→0)	0	0
1	0	1	1	1	1	1	0	0	0	1 (1→0)	0	0
1	1	0	1	1	1	1	0	0	0	1 (1→0)	0	0
1	1	1	1	1	0	1	0	1 (1→0)	0	1 (0→1)	1 (1→0)	0

**Теорема 1.** Неисправность выхода элемента  $G_t$  не вызывает на множестве выходов комбинационной схемы  $W = \{f_{j_1}, f_{j_2}, \dots, f_{j_p}\}$ ,  $p \in \{2, 3, \dots, m\}$ , ошибку симметричного типа, если для каждого подмножества  $\omega_t^{a_r} = \{f_{k_1}, f_{k_2}, \dots, f_{k_d}\}$ , такого, что  $\omega_t^{a_r} \in W$  и  $\omega_t^{a_r} \in V_t$ , выполняется следующее условие:

$$\frac{\partial f_{k_1}}{\partial y_t} \frac{\partial f_{k_2}}{\partial y_t} \dots \frac{\partial f_{k_d}}{\partial y_t} \left( \overline{\frac{\partial f_{h_1}}{\partial y_t} \frac{\partial f_{h_2}}{\partial y_t} \dots \frac{\partial f_{h_{p-d}}}{\partial y_t}} \right) Q \left( R_d^{d/2} (f_{k_1}, f_{k_2}, \dots, f_{k_d}) \right) = 0, \quad (1)$$

где  $f_{h_1}, f_{h_2}, \dots, f_{h_{p-d}} \in \{f_{j_1}, f_{j_2}, \dots, f_{j_p}\} \setminus \{f_{k_1}, f_{k_2}, \dots, f_{k_d}\}$ ;

$$R_d^{d/2} (f_{k_1}, f_{k_2}, \dots, f_{k_d}) \quad (2)$$

является дизъюнкцией конъюнкций  $f_{k_1} f_{k_2} \dots f_{k_d}$ ,  $f_k \in \{0, 1\}$ , в которых  $d/2$  переменных имеют прямые значения, и  $d/2$  переменных — инверсные значения;

$$Q \left( R_d^{d/2} (f_{k_1}, f_{k_2}, \dots, f_{k_d}) \right) \quad (3)$$

есть функция, полученная подстановкой в (2) вместо обозначения выходных функций  $f_i$  их представления через входные переменные.

**Доказательство.** Рассмотрим левую часть равенства (1). Для упрощения описания введем следующие обозначения:

$$A(y_t) = \frac{\partial f_{k_1}}{\partial y_t} \frac{\partial f_{k_2}}{\partial y_t} \dots \frac{\partial f_{k_d}}{\partial y_t},$$

$$B(y_t) = \overline{\frac{\partial f_{h_1}}{\partial y_t} \frac{\partial f_{h_2}}{\partial y_t} \dots \frac{\partial f_{h_{p-d}}}{\partial y_t}}, \quad C = Q \left( R_d^{d/2} (f_{k_1}, f_{k_2}, \dots, f_{k_d}) \right).$$

В соответствии с теоремой 1 при исследовании элемента  $G_t$  необходимо рассмотреть все возможные подмножества  $\omega_t^{a_r}$  выходов, которые искажаются при поступлении на вход устройства одного или нескольких наборов входных переменных. При этом достаточно рассмотреть только

подмножества с четным числом элементов, так как на подмножествах с нечетным числом выходов невозможно возникновение ошибок симметричного типа. Еще одна особенность рассматриваемых подмножеств  $\omega_t^{a_r}$  состоит в том, что при поступлении входного набора  $a_r$  искажаются значения всех выходов, входящих в подмножество, и не искажаются какие-либо другие выходы.

Все подмножества  $\omega_t^{a_r}$  с указанными свойствами входят по построению в множество  $V_t$  и должны быть рассмотрены согласно теореме 1. Других подмножеств  $\omega_t^{a_r}$ , кроме указанных, не существует. В соответствии с условием теоремы каждое подмножество  $\omega_t^{a_r} \in V_t$  рассматривается отдельно.

В левой части равенства (1) содержатся три сомножителя:  $A(y_t)$ ,  $B(y_t)$  и  $C$ . Выражение  $A(y_t)$  определяет те входные наборы, при поступлении которых искажаются значения всех выходов, входящих в рассматриваемое подмножество  $\omega_t^{a_r}$ . Выражение  $B(y_t)$  фиксирует те входные наборы, при поступлении которых не имеют искажений все выходы устройства, не входящие в подмножества  $\omega_t^{a_r}$ . Произведение  $A(y_t)B(y_t)$  позволяет вычислить все входные наборы, при поступлении которых искажаются только те выходы, которые входят в подмножество  $\omega_t^{a_r}$  (причем всех одновременно), и не искажается ни один из выходов, не принадлежащих этому подмножеству. Именно для этих входных наборов необходимо проверять возможность возникновения симметричной ошибки.

Для этого в левую часть выражения (1) включен сомножитель  $C$ , который позволяет вычислить множество  $D(\omega_t^{a_r})$  всех входных наборов, при поступлении которых в принципе возможно возникновение симметричных ошибок. Симметричная ошибка возможна, если на входном наборе в подмножестве  $\omega_t^{a_r}$  половина выходных функций принимает значение 0, а остальные — значение 1. Выражение (2), представленное в виде функции, зависящей от переменных  $f_{k_1}, f_{k_2}, \dots, f_{k_d}$ , задает комбинации этих переменных, соответствующие указанному условию. Замена в этом выражении обозначений выходных функций их представлениями через входные переменные позволяет определить множество  $D(\omega_t^{a_r})$ .



Если  $A(y_t) B(y_t) C \neq 0$ , то это значит, что имеется хотя бы один входной набор, при поступлении которого возникает симметричная ошибка. Если для всех подмножеств  $\omega_t^a \in V_t$   $A(y_t) B(y_t) C = 0$ , то неисправность выхода элемента  $G_t$  на рассматриваемом множестве  $W$  выходов комбинационной схемы не вызывает ошибок симметричного типа ни на одном наборе входных переменных. Теорема доказана.

Рассмотрим множество  $W = \{f_1, f_2, f_3, f_4, f_5\}$  и элемент  $G^*$  применительно к схеме, представленной на рис. 1, а. Проверим условия теоремы относительно элемента  $G^*$ . При этом необходимо проверить условие (1) для трех подмножеств:  $\{f_2, f_4\}$ ,  $\{f_3, f_5\}$  и  $\{f_1, f_2, f_3, f_4\}$ .

Для подмножества  $\{f_2, f_4\}$  запишем

$$\frac{\partial f_2}{\partial y_1} \frac{\partial f_4}{\partial y_1} \left( \frac{\partial f_1}{\partial y_1} \frac{\partial f_3}{\partial y_1} \frac{\partial f_5}{\partial y_1} \right) Q \left( R_d^{d/2}(f_2, f_4) \right).$$

Вычислим производные (см. табл. 1):

$$\frac{\partial f_1}{\partial y_1} = \overline{x_1 x_2}, \quad \frac{\partial f_2}{\partial y_1} = \overline{x_1}, \quad \frac{\partial f_3}{\partial y_1} = x_1 \vee \overline{x_1 x_3}, \quad \frac{\partial f_4}{\partial y_1} = \overline{x_1} \vee x_1 \overline{x_2} \vee x_1 x_3, \quad \frac{\partial f_5}{\partial y_1} = x_1.$$

Запишем следующие выражения для проверки условия (1):

$$A(y_t) = \frac{\partial f_2}{\partial y_1} \frac{\partial f_4}{\partial y_1} = \overline{x_1} (\overline{x_1} \vee x_1 \overline{x_2} \vee x_1 x_3) = \overline{x_1}; \quad (4)$$

$$B(y_t) = \frac{\partial f_1}{\partial y_1} \frac{\partial f_3}{\partial y_1} \frac{\partial f_5}{\partial y_1} = \overline{x_1 x_2} \overline{x_1 \vee x_1 x_3} x_1 = \overline{x_1 x_2 x_3}; \quad (5)$$

$$R_d^{d/2}(f_2, f_4) = f_2 \overline{f_4} \vee \overline{f_2} f_4; \quad (6)$$

$$Q \left( R_d^{d/2}(f_2, f_4) \right) = (x_1 \vee \overline{x_1 x_2}) \overline{x_1 x_2 \vee x_2 x_3} \vee \overline{x_1 \vee x_1 x_2} (x_1 x_2 \vee x_2 x_3) = \overline{x_1} \vee x_1 \overline{x_2}. \quad (7)$$

В результате получим

$$\overline{x_1} \overline{x_1} \overline{x_2 x_3} (\overline{x_1} \vee x_1 \overline{x_2}) = \overline{x_1} \overline{x_2 x_3} \neq 0. \quad (8)$$

Поскольку левая часть полученного выражения (8) не равна нулю, условие теоремы не выполняется и неисправность элемента  $G^*$  вызывает симметричную ошибку. Левая часть выражения (8) определяет функцию, задающую входные наборы, для которых эта ошибка возникает. В данном случае это набор  $\overline{x_1} \overline{x_2 x_3}$ .

Рассмотрим подмножество  $\{f_1, f_2, f_3, f_4, f_5\}$  и элемент  $G^*$  для схемы, изображенной на рис. 1, б. В этом случае требуется проверка условия (1) только для одного подмножества, а именно  $\{f_1, f_2, f_4, f_5\}$ . Запишем

$$\begin{aligned} R_d^{d/2}(f_1, f_2, f_4, f_5) &= \\ &= f_1 f_2 \overline{f_4} \overline{f_5} \vee f_1 \overline{f_2} f_4 \overline{f_5} \vee f_1 \overline{f_2} \overline{f_4} f_5 \vee f_1 f_2 f_4 \overline{f_5} \vee f_1 f_2 \overline{f_4} f_5 \vee f_1 \overline{f_2} f_4 f_5, \\ Q\left(R_d^{d/2}(f_1, f_2, f_4, f_5)\right) &= 0. \end{aligned}$$

Поэтому условие (1) выполняется и неисправность элемента  $G^*$  не вызывает на множестве всех выходов схемы симметричных ошибок.

**Определение 2.** Неисправность выхода элемента  $G_t$  является полностью тестируемой на множестве выходов комбинационной схемы  $\{f_{j_1}, f_{j_2}, \dots, f_{j_p}\}$  ( $j_1, j_2, \dots, j_p \in \{1, 2, \dots, m\}$ ) при контроле на основе  $UAED(m, k)$  или  $d_v, d_\alpha$ - $UAED(m, k)$  кода в том случае, если выполняется условие (1).

При этом справедливо следующая теорема.

**Теорема 2.** Подмножество выходов комбинационной схемы  $\{f_{j_1}, f_{j_2}, \dots, f_{j_p}\}$  ( $j_1, j_2, \dots, j_p \in \{1, 2, \dots, m\}$ ) является СН-группой тогда, когда каждый элемент в структуре устройства полностью тестируем на этом множестве.

На основании теорем 1 и 2 можно построить эффективные алгоритмы поиска СН-групп выходов и, используя эти группы, получать полностью проверяемые структуры комбинационных логических схем на основе  $UAED(m, k)$  и  $d_v, d_\alpha$ - $UAED(m, k)$  кодов, как это сделано в работах [3, 18].

**Обнаружение неисправностей входов логических элементов.** Во всех исследованиях, посвященных вопросам синтеза и анализа самопроверяемых дискретных устройств, рассматриваются и моделируются только одиночные неисправности выходов логических элементов. Однако к одиночным неисправностям относятся также и неисправности отдельных входов элементов, соединенных со входами устройства. Например схема, приведенная на рис. 1, а, содержит 13 одиночных неисправностей выходов логических элементов и 15 одиночных неисправностей входов логических элементов. На основании условия (1) можно сформулировать следующую теорему.

**Теорема 3.** Если неисправность выхода логического элемента в комбинационной схеме не вызывает на множестве выходов устройства

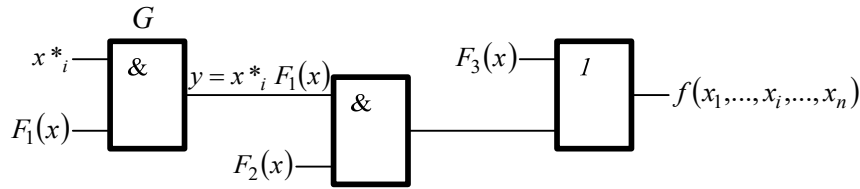


Рис. 2. Простейшая комбинационная схема

$\{f_{j_1}, f_{j_2}, \dots, f_{j_p}\}$  ( $j_1, j_2, \dots, j_p \in \{1, 2, \dots, m\}$ ) возникновения ошибки симметричного типа, то не вызывает возникновения такой же ошибки и одиночная неисправность входа этого же элемента.

**Д о к а з а т е л ь с т в о.** Рассмотрим элемент  $G$ , на выходе которого реализована функция  $y$ . Пусть элемент  $G$  имеет вход  $x_i^*$ , который соединен непосредственно со входом устройства  $x_i$ . На втором входе реализуется некоторая функция  $F_1(x)$ . Рассмотрим случай, когда элемент  $G$  реализует конъюнкцию и входит в систему реализации функции  $f$ , заданной в дизъюнктивной нормальной форме. В общем виде такая схема представлена на рис. 2.

На выходе схемы реализуется функция  $f(x) = (x_i^* F_1(x)) F_2(x) \vee F_3(x) = y F_2(x) \vee F_3(x)$ , где  $F_1(x)$ ,  $F_2(x)$  и  $F_3(x)$  — некоторые произвольные функции от переменных  $x_1, \dots, x_i, \dots, x_n$ ; индекс  $*$  означает, что неисправность входа элемента  $G$  соответствует фиксации переменной  $x_i^*$  в константу, а переменные  $x_i$ , поступающие на входы других элементов схемы, не искажаются.

Для вычисления булевых производных применим следующую формулу:

$$\frac{\partial f(x)}{\partial x_i} = [f(x_1, \dots, x_i, \dots, x_n) \oplus f(x_1, \dots, 0, \dots, x_n)] \vee [f(x_1, \dots, x_i, \dots, x_n) \oplus f(x_1, \dots, 1, \dots, x_n)]. \quad (9)$$

В рассматриваемом случае если  $x_i^* = 0$ , то  $y = 0$  и  $f(x_1, \dots, 0, \dots, x_n) = F_3(x)$ , если  $x_i^* = 1$ , то  $y = F_1(x)$  и  $f(x_1, \dots, 1, \dots, x_n) = F_1(x) F_2(x) \vee F_3(x)$ . Тогда

$$\frac{\partial f(x)}{\partial x_i} = [f(x) \oplus F_3(x)] \vee [f(x) \oplus (F_1(x) F_2(x) \vee F_3(x))]. \quad (10)$$

В то же время,

$$\begin{aligned} \frac{\partial f(x)}{\partial x_i} &= [f(x) \oplus (0 \cdot F_2(x) \vee F_3(x))] \vee [f(x) \oplus (1 \cdot F_2(x) \vee F_3(x))] = \\ &= [f(x) \oplus F_3(x)] \vee [f(x) \oplus (F_2(x) \vee F_3(x))]. \end{aligned} \quad (11)$$

Сравним выражения (10) и (11). Каждая производная состоит из двух функций, заключенных в квадратные скобки и соединенных знаком дизъюнкции. Рассмотрим функции, заключенные во вторые квадратные скобки. Запишем

$$F_1(x)F_2(x) \vee F_3(x) \rightarrow F_2(x \vee F_3(x)), \quad (12)$$

$$f(x) \oplus (F_1(x)F_2(x) \vee F_3(x)) \rightarrow f(x) \oplus (F_2(x) \vee F_3(x)). \quad (13)$$

Поскольку в выражениях (10) и (11) функции, заключенные в первые квадратные скобки, одинаковы, из (13) следует

$$\frac{\partial f(x)}{\partial x_i} \rightarrow \frac{\partial f(x)}{\partial y}. \quad (14)$$

Таким образом, булева производная по переменной  $x_i^*$  содержит только те входные наборы, которые входят в булеву производную по выходу элемента  $G$ . Теорема доказана.

В табл. 3 и 4 приведены булевы производные соответственно по входам  $x_2$  и  $x_3$  элемента  $G^*$  в схеме, изображенной на рис. 1, а. Сравнивая табл. 1, 2 и 3, 4, видим, что соотношение (14) выполняется во всех случаях. Например,

$$\frac{\partial f_1}{\partial y_1(x_2)} = \overline{x_1 x_2 x_3} \rightarrow \frac{\partial f_1}{\partial y_1} = \overline{x_1 x_2}, \quad \frac{\partial f_2}{\partial y_1(x_3)} = \overline{x_1 x_2} \rightarrow \frac{\partial f_2}{\partial y_1} = \overline{x_1}.$$

Из выражения (9) видно, что булева производная объединяет два проверяющих теста. В первых квадратных скобках вычисляется проверяющий тест входа (или выхода) элемента для неисправности «константа 0», а во вторых квадратных скобках — для неисправности «константа 1». Поэтому значение булевой производной определяется только значениями функций  $f(x_1, \dots, 0, \dots, x_n)$  и  $f(x_1, \dots, 1, \dots, x_n)$  и не зависит от структуры подсхемы, соединяющей выход элемента  $G$  с выходом устройства, и структуры подсхемы, реализующей на втором входе элемента  $G$  функцию  $F_1(x)$  так как при эквивалентных преобразованиях комбинационных устройств их проверяющие тесты сохраняются. В связи с этим соотношение (14) выполняется при любой реализации функции  $f(x)$ .

Обозначим через  $y_t(x_i)$  входную переменную, подаваемую на вход элемента  $G_t$ . Тогда условие, при котором неисправность входа  $y_t(x_i)$  не вызывает на множестве выходов комбинационной схемы  $W = \{f_{j_1}, f_{j_2}, \dots, f_{j_p}\}$  симметричную ошибку, записывается в следующем виде:

$$\frac{\partial f_{k_1}}{\partial y_t(x_i)} \frac{\partial f_{k_2}}{\partial y_t(x_i)} \dots \frac{\partial f_{k_d}}{\partial y_t(x_i)} \left( \frac{\partial f_{h_1}}{\partial y_t(x_i)} \frac{\partial f_{h_2}}{\partial y_t(x_i)} \dots \frac{\partial f_{h_{p-d}}}{\partial y_t(x_i)} \right) Q \left( R_d^{d/2}(f_{k_1}, f_{k_2}, \dots, f_{k_d}) \right) = 0. \quad (15)$$

Сравним выражения (1) и (15). Из (14) следует

$$\frac{\partial f_{k_1}}{\partial y_t(x_i)} \rightarrow \frac{\partial f_{k_1}}{\partial y_t}, \quad \frac{\partial f_{j_2}}{\partial y_t(x_i)} \rightarrow \frac{\partial f_{j_2}}{\partial y_t}, \quad \dots, \quad \frac{\partial f_{k_d}}{\partial y_t(x_i)} \rightarrow \frac{\partial f_{k_d}}{\partial y_t},$$

Таблица 3

$x_1$	$x_2$	$x_3$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$\frac{\partial f_1}{\partial y_1}$	$\frac{\partial f_2}{\partial y_1}$	$\frac{\partial f_3}{\partial y_1}$	$\frac{\partial f_4}{\partial y_1}$	$\frac{\partial f_5}{\partial y_1}$
0	0	0	1	1	1	0	0	0	0	0	0	0
0	0	1	1	1	1	0	0	0	1 (0→1)	0	1 (0→1)	0
0	1	0	0	1	1	0	1	0	0	0	0	0
0	1	1	1	0	1	1	0	1 (1→0)	1 (0→1)	0	1 (1→0)	0
1	0	0	1	1	1	0	0	0	0	0	0	0
1	0	1	1	1	1	0	0	0	0	1 (1→0)	1 (0→1)	1 (0→1)
1	1	0	1	1	1	1	0	0	0	0	0	0
1	1	1	1	1	0	1	1	0	0	1 (0→1)	1 (1→0)	0

Таблица 4

$x_1$	$x_2$	$x_3$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$\frac{\partial f_1}{\partial y_1}$	$\frac{\partial f_2}{\partial y_1}$	$\frac{\partial f_3}{\partial y_1}$	$\frac{\partial f_4}{\partial y_1}$	$\frac{\partial f_5}{\partial y_1}$
0	0	0	1	1	1	0	0	0	0	0	0	0
0	0	1	1	1	1	0	0	0	0	0	0	0
0	1	0	0	1	1	0	1	1 (0→1)	1 (1→0)	1 (1→0)	1 (0→1)	0
0	1	1	1	0	1	1	0	1 (1→0)	1 (0→1)	0	1 (1→0)	0
1	0	0	1	1	1	0	0	0	0	0	0	0
1	0	1	1	1	1	0	0	0	0	0	0	0
1	1	0	1	1	1	1	0	0	0	1 (1→0)	0	1 (0→1)
1	1	1	1	1	0	1	0	0	0	1 (0→1)	1 (1→0)	0

$$\frac{\partial f_{h_1}}{\partial y_t(x_i)} \rightarrow \overline{\frac{\partial f_{h_1}}{\partial y_t}}, \frac{\partial f_{h_2}}{\partial y_t(x_i)} \rightarrow \overline{\frac{\partial f_{h_2}}{\partial y_t}}, \dots, \frac{\partial f_{h_{p-d}}}{\partial y_t(x_i)} \rightarrow \overline{\frac{\partial f_{h_{p-d}}}{\partial y_t}}.$$

Тогда запишем

$$A(y_t(x_i)) = \frac{\partial f_{k_1}}{\partial y_t(x_i)} \frac{\partial f_{k_2}}{\partial y_t(x_i)} \dots \frac{\partial f_{k_d}}{\partial y_t(x_i)} \rightarrow A(y_t) = \overline{\frac{\partial f_{k_1}}{\partial y_t}} \overline{\frac{\partial f_{k_2}}{\partial y_t}} \dots \overline{\frac{\partial f_{k_d}}{\partial y_t}}, \quad (16)$$

$$B(y_t(x_i)) = \frac{\partial f_{h_1}}{\partial y_t(x_i)} \frac{\partial f_{h_2}}{\partial y_t(x_i)} \dots \frac{\partial f_{h_{p-d}}}{\partial y_t(x_i)} \rightarrow B(y_t) = \overline{\frac{\partial f_{h_1}}{\partial y_t}} \overline{\frac{\partial f_{h_2}}{\partial y_t}} \dots \overline{\frac{\partial f_{h_{p-d}}}{\partial y_t}}. \quad (17)$$

Из (16) и (17) следует  $A(y_t(x_i)) B(y_t(x_i)) \rightarrow A(y_t) B(y_t)$ . Поскольку в выражениях (1) и (15) третий сомножитель  $C$  один и тот же, отсюда вытекает справедливость определения 1.

Рассмотрим подмножество выходов  $\{f_2, f_4\}$  и неисправность входа  $x_2$  элемента  $G^*$  для схемы, приведенной на рис. 1, а. Выражение (15) представим в виде

$$\frac{\partial f_2}{\partial y_1(x_2)} \frac{\partial f_4}{\partial y_1(x_2)} \left( \overline{\frac{\partial f_1}{\partial y_1(x_2)}} \overline{\frac{\partial f_3}{\partial y_1(x_2)}} \overline{\frac{\partial f_5}{\partial y_1(x_2)}} \right) Q \left( R_d^{d/2}(f_2, f_4) \right). \quad (18)$$

Вычислим производные (см. табл. 3):

$$\frac{\partial f_1}{\partial y_1(x_2)} = \overline{x_1 x_2 x_3}, \quad \frac{\partial f_2}{\partial y_1(x_2)} = \overline{x_1 x_3}, \quad \frac{\partial f_3}{\partial y_1(x_2)} = x_1 x_2,$$

$$\frac{\partial f_4}{\partial y_1(x_2)} = x_3, \quad \frac{\partial f_5}{\partial y_1(x_2)} = \overline{x_1 x_2 x_3}.$$

Для проверки условия (18) вычислим следующее:

$$A(y_t(x_2)) = \frac{\partial f_2}{\partial y_1(x_2)} \frac{\partial f_4}{\partial y_1(x_2)} = (\overline{x_1 x_3}) x_3 = \overline{x_1 x_3}, \quad (19)$$

$$B(y_t(x_2)) = \overline{\frac{\partial f_1}{\partial y_1(x_2)}} \overline{\frac{\partial f_3}{\partial y_1(x_2)}} \overline{\frac{\partial f_5}{\partial y_1(x_2)}} =$$

$$= (\overline{x_1 \vee x_2 \vee x_3})(\overline{x_1 \vee x_3})(\overline{x_1 \vee x_2 \vee x_3}) = \overline{x_3 \vee x_1 x_2}. \quad (20)$$

Из (19) и (4) следует

$$\frac{\partial f_2}{\partial y_1(x_2)} \frac{\partial f_4}{\partial y_1(x_2)} \rightarrow \overline{\frac{\partial f_2}{\partial y_1}} \overline{\frac{\partial f_4}{\partial y_1}}.$$

Аналогично из (20) и (5) следует

$$\frac{\overline{\partial f_1}}{\partial y_1(x_2)} \frac{\overline{\partial f_3}}{\partial y_1(x_2)} \frac{\overline{\partial f_5}}{\partial y_1(x_2)} \rightarrow \frac{\overline{\partial f_1}}{\partial y_1} \frac{\overline{\partial f_3}}{\partial y_1} \frac{\overline{\partial f_5}}{\partial y_1}.$$

Тогда

$$\begin{aligned} A(y_t(x_2)) B(y_t(x_2)) &= (\overline{x_1 x_3})(\overline{x_3 \vee x_1 x_2}) = \\ &= \overline{x_1 x_2 x_3} \rightarrow A(y_t) B(y_t) = (\overline{x_1})(\overline{x_1 x_2 x_3}) = \overline{x_1 x_2 x_3}. \end{aligned}$$

Согласно (7) при неисправности входа  $x_2$  элемента  $G^*$  допускается симметричная ошибка.

На основании теоремы 3 можно сформулировать следующую теорему.

**Теорема 4.** При организации контроля комбинационной схемы по  $UAED(m, k)$  или  $d_v, d_a-UAED(m, k)$  коду для обнаружения всех одиночных неисправностей входов и выходов логических элементов достаточно рассмотреть только неисправности их выходов.

Заметим, что в комбинационных схемах возможны неисправности линий, соединяющих вход устройства со входами нескольких логических элементов. В этом случае возникает кратная неисправность, при которой фиксируются входные сигналы нескольких логических элементов. Решение проблемы обнаружения неисправностей такого типа возможно с помощью выполнения определенных требований к структуре электрического монтажа с учетом свойств контролируемого устройства [24].

**Структура комбинационного устройства.** Построение полностью самопроверяемой комбинационной схемы выполняется так. Находим СН-группы выходов, отвечающие условию теоремы 2. Каждая СН-группа контролируется с помощью отдельной схемы контроля на основе  $UAED(m, k)$  или  $d_v, d_a-UAED(m, k)$  кода. Контрольные выходы всех схем контроля объединяются на входах самопроверяемой схемы сжатия парафазных сигналов для получения одного контрольного выхода.

Необходимое множество СН-групп выходов можно получить двумя способами.

Первый способ состоит в следующем: сначала посредством анализа всех возможных подмножеств выходов комбинационной схемы находим полное множество СН-групп выходов, затем определяем минимальное подмножество СН-групп, в которые входят все выходы схемы.

При использовании второго способа сначала рассматриваем множество, содержащее все  $m$  выходов. Если оно не удовлетворяет условию теоремы 2, то рассматриваем все возможные подмножества с числом выходов  $m-1$  и т.д. Все, входящие в СН-группу выходы, исключаются из

дальнейшего рассмотрения. Процесс завершается, когда все выходы комбинационной схемы войдут в какую-либо СН-группу.

Альтернативным вариантом для поиска СН-групп выходов является специальное преобразование структуры комбинационной схемы в структуру, выходы которой образуют единую СН-группу. Способ преобразования схем в схемы с СН-группами аналогичен описанному в [25] способу для получения МН- и МАН- групп.

## Выводы

Возможность поиска групп симметрично независимых выходов при построении самопроверяемых схем встроенного контроля позволяет на практике уменьшать структурную избыточность конечного устройства. При этом контроль комбинационных схем с выделением СН-групп выходов осуществляется с использованием  $UAED(m, k)$  или  $d_v, d_\alpha-UAED(m, k)$  кодов (одним из таковых является, например, классический код Бергера).

Уменьшение избыточности достигается фактически посредством уменьшения числа резервируемых элементов при преобразовании исходных комбинационных схем в схемы с контролепригодными структурами или увеличением числа входящих в СН-группу выходов по сравнению с поиском, например, МН-групп выходов. Как показано в [18], только контроль схем по МН-группам выходов в отдельных случаях позволяет снизить структурную избыточность более чем на 50%, а поиск СН-групп с последующим их контролем на основе  $UAED(m, k)$  или  $d_v, d_\alpha-UAED(m, k)$  кодов позволяет еще больше уменьшить избыточность схем. Поиск СН-групп выходов отчасти идентичен поиску МАН-групп выходов [23], однако осуществляется гораздо проще.

Установленные особенности проявления неисправностей входов исходной комбинационной схемы позволяют существенно сократить число рассматриваемых неисправностей при организации схемы контроля.

В основе полученных условий лежит функциональный принцип описания работы комбинационной схемы, а полученные результаты не ориентированы только на схемы, реализованные на логических элементах. Поэтому применение полученных результатов не ограничивается стандартной моделью комбинационной схемы, а результаты могут быть использованы при построении самопроверяемых комбинационных схем на программируемой элементной базе. Универсальность полученных результатов обеспечивает возможность их применения и при дальнейшем развитии информационных и компьютерных технологий.



## СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications. John Wiley & Sons, 2006, 720 p.
2. *Ubar R., Raik J., Vierhaus H.-T.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference. Hershey — New York, IGI Global, 2011, 578 p.
3. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
4. *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI — A Compendium of Approaches // Journal of Electronic Testing: Theory and Applications. 1998, №12, pp. 7—20. DOI: 10.1023/A:1008244815697.
5. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Классификация ошибок в информационных векторах систематических кодов // Изв. вузов. Приборостроение, 2015, **58**, №5, с. 333—343. DOI: 10.17586/0021-3454-2015-58-5-333-343.
6. *Дмитриев В.В., Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* Коды с суммированием с эффективным обнаружением двукратных ошибок для организации систем функционального контроля логических устройств // Автоматика и телемеханика, 2018, №4, с. 105—122.
7. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., Дмитриев В.В.* Новые структуры систем функционального контроля логических схем // Там же, 2017, №2, с. 127—143.
8. *Ghosh S., Basu S., Toubia N.A.* Synthesis of Low Power CED Circuits Based on Parity Codes // Proc. of 23rd IEEE VLSI Test Symposium (VTS'05), 2005, pp. 315—320.
9. *Freiman C.V.* Optimal Error Detection Codes for Completely Asymmetric Binary Channels // Information and Control, 1962, Vol. 5, issue 1, pp. 64—71. DOI: 10.1016/S0019-9958(62)90223-1.
10. *Berger J.M.* A Note on Error Detection Codes for Asymmetric Channels // Information and Control, 1961, Vol. 4, Issue 1, pp. 68—73. DOI: 10.1016/S0019-9958(61)80037-5.
11. *Piestrak S.J.* Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wroclaw: Oficyna Wydawnicza Politechniki Wroclawskiej, 1995, 111 p.
12. *Das D., Toubia N.A., Seuring M., Gossel M.* Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes // Proc. of the IEEE 6th International On-Line Testing Workshop (IOLTW). Spain, Palma de Mallorca, July 3-5, 2000, pp. 171—176. DOI: 10.1109/OLT.2000.856633.
13. *Efanov D., Sapozhnikov V., Sapozhnikov V.I.* Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems // Proc. of 15<sup>th</sup> IEEE East-West Design & Test Symposium (EWDTS'2017). Novi Sad, Serbia, September 29 – October 2, 2017, pp. 365—371. DOI: 10.1109/EWDTS.2017.8110126.
14. *Согомонян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989, 208 с.
15. *Гессель М., Согомонян Е.С.* Построение самотестируемых и самопроверяемых комбинационных устройств со слабозависимыми выходами // Автоматика и телемеханика, 1992, № 8, с. 150—160.
16. *Sogomonyan E.S., Gössel M.* Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // Journal of Electronic Testing: Theory and Applications, 1993, Vol. 4, Issue 4, pp. 267—281. – DOI: 10.1007/BF00971975.
17. *Busaba F.Y., Lala P.K.* Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // Journal of Electronic Testing: Theory and Applications, 1994, Vol. 5, Issue 5, pp. 19—28. DOI: 10.1007/BF00971960.

18. *Morosow A, Saposhnikov V.V., Saposhnikov Vl.V., Goessel M.* Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // *VLSI Design*, 1998, Vol. 5, Issue 4, pp. 333—345. DOI: 10.1155/1998/20389.
19. *Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* Синтез самопроверяемых комбинационных устройств на основе выделения специальных групп выходов // *Автоматика и телемеханика*, 2018, № 9, с. 79—94.
20. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Коды Хэмминга в системах функционального контроля логических устройств. СПб.: Наука, 2018, 151 с.
21. *Das D., Touba N.A.* Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes // *Journal of Electronic Testing: Theory and Applications*, 1999, Vol. 15, Issue 1-2, pp. 145—155. DOI: 10.1023/A:1008344603814.
22. *Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* Применение модульных кодов с суммированием для построения систем функционального контроля комбинационных логических схем // *Автоматика и телемеханика*, 2015, № 10, с. 152—169.
23. *Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* Условия обнаружения неисправности логического элемента в комбинационном устройстве при функциональном контроле на основе кода Бергера // *Там же*, 2017, № 5, с. 152—165.
24. *Прокофьев А.А., Сапожников В.В., Сапожников Вл.В.* Логический метод контроля электрического монтажа // *Электрон. моделирование*, 1984, 6, № 4, с. 55—59.
25. *Sapozhnikov V., Sapozhnikov Vl., Efanov D.* Search Algorithm for Fully Tested Elements in Combinational Circuits, Controlled on the Basis of Berger Codes // *Proc. of 15<sup>th</sup> IEEE East-West Design & Test Symposium (EWDTS'2017)*. Novi Sad, Serbia, September 29 – October 2, 2017, pp. 99-108. DOI: 10.1109/EWDTS.2017.8110085.

Поступила 15.07.19

## REFERENCES

1. Fujiwara, E. (2006), *Code Design for Dependable Systems: Theory and Practical Applications*, John Wiley & Sons, New Jersey, USA.
2. Ubar, R., Raik, J. and Vierhaus, H.T. (2011), *Design and Test Technology for Dependable Systems-on-Chip* (Premier Reference Source), IGI Global, New York, USA.
3. Göessel, M., Ocheretny, V., Sogomonyan, E. and Marienfeld, D. (2008), *New Methods of Concurrent Checking: Edition 1*, Springer Science+Business Media B.V, Dordrecht, Netherland.
4. Nicolaidis, M. and Zorian, Y. (1998), “On-Line Testing for VLSI – A Compendium of Approaches”, *Journal of Electronic Testing: Theory and Applications*, no. 12, pp. 7-20. DOI: 10.1023/A:1008244815697.
5. Sapozhnikov, V.V., Sapozhnikov, Vl.V. and Yefanov, D.V. (2015) “Classification of errors in information vectors of systematic codes”, *Izvestiya Vysshikh Uchebnykh Zavedeniy. Priborostroenie*, Vol. 58, no. 5, pp. 333-343. DOI 10.17586/0021-3454-2015-58-5-333-343.
6. Dmitriyev, V.V., Yefanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (2018), “Sum Codes with Efficient Detection of Twofold Errors for Organization of Concurrent Error-Detection Systems of Logical Devices”, *Avtomatika i telemekhanika*, no. 4, pp. 105-122.
7. Sapozhnikov, V.V., Sapozhnikov, Vl.V., Yefanov, D.V. and Dmitriyev, V.V. (2017), “New structures of the concurrent error detection systems for logic circuits”, *Avtomatika i telemekhanika*, no. 2, pp. 127-143.

8. Ghosh, S., Basu, S. and Touba, N.A. (2005), “Synthesis of Low Power CED Circuits Based on Parity Codes”, *Proceeding of the 23rd IEEE VLSI Test Symposium (VTS'05)*, pp. 315-320.
9. Freiman, C.V. (1962), “Optimal Error Detection Codes for Completely Asymmetric Binary Channels”, *Ibid*, Vol. 5, Issue. 1, pp. 64-71. DOI: 10.1016/S0019-9958(62)90223-1.
10. Berger, J.M. (1961), “A Note on Error Detection Codes for Asymmetric Channels”, *Information and Control*, Vol. 4, Issue. 1, pp. 68-73. DOI: 10.1016/S0019-9958(61)80037-5.
11. Piestrak, S.J. (1995), *Design of Self-Testing Checkers for Unidirectional Error Detecting Codes*, Oficyna Wydawnicza Politechniki Wrocławskiej, Wrocław, Poland.
12. Das, D., Touba, N.A., Seuring, M. and Gossel, M. (2000), “Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes”, *Proceeding of IEEE 6th International On-Line Testing Workshop (IOLTW)*, Spain, Palma de Mallorca, July 3-5, 2000, pp. 171-176. DOI: 10.1109/OLT.2000.856633.
13. Efanov, D., Sapozhnikov, V. and Sapozhnikov, VI. (2017) “Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems”, *Proceeding of the 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 29 - October 2, 2017, pp. 365-371. DOI: 10.1109/EWDTS.2017.8110126.
14. Sogomonyan, E.S. and Slabakov, E.V. (1989), *Samoproveryayemyye ustroystva i ot-kazoustoychivyye sistemy* [Self-checking devices and failover systems], Radio & Svyaz', Moscow, USSR.
15. Gessel', M. and Sogomonyan, Ye.S. (1992), “Design of self-testing and self-checking combinational circuits with weakly independent outputs”, *Avtomatika i telemekhanika*, no. 8, pp. 150-160.
16. Sogomonyan, E.S. and Gössel, M. (1993) “Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs”, *Journal of Electronic Testing: Theory and Applications*, Vol. 4, Issue. 4, pp. 267-281. DOI:10.1007/BF00971975.
17. Busaba, F.Y. and Lala, P.K. (1994), “Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors”, *Journal of Electronic Testing: Theory and Applications*, Issue. 5, pp. 19-28. DOI: 10.1007/BF00971960.
18. Morosow, A., Sapozhnikov, V.V., Sapozhnikov, VI.V. and Goessel, M. (1998), “Self-Checking Combinational Circuits with Unidirectionally Independent Outputs”, *VLSI Design*, Vol. 5, Issue. 4, pp. 333-345. DOI: 10.1155/1998/20389.
19. Yefanov, D.V., Sapozhnikov, V.V., Sapozhnikov, VI.V. (2018), “Synthesis of Self-Checking Combinational Devices Based on Allocating Special Groups of Outputs”, *Avtomatika i telemekhanika*, no. 9, pp. 79-94.
20. Sapozhnikov, V.V., Sapozhnikov, VI.V. and Efanov, D.V. (2018), *Kody Khemminga v sistemakh funktsional'nogo kontrolya logicheskikh ustroystv* [Hamming codes in concurrent error detection systems of logic devices], *Nauka*, St. Petersburg, Russia.
21. Das, D. and Touba, N.A. (1999), “Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes”, *Journal of Electronic Testing: Theory and Applications*, Vol. 15, Issue. 1-2, pp. 145-155. DOI: 10.1023/A:1008344603814.
22. Yefanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, VI.V. (2015), “Applications of Modular Summation Codes to Concurrent Error Detection Systems for Combinational Boolean Circuits”, *Avtomatika i telemekhanika*, no. 10, pp. 152-169.
23. Yefanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, VI.V. (2017), “Conditions for Detecting a Logical Element Fault in a Combination Device under Concurrent Checking Based on Berger’s Code”, *Avtomatika i telemekhanika*, no. 5, pp. 152-165.

24. Prokofyev, A.A., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (1984), "Logical method for electrical mounting testing", *Elektronnoje Modelirovanije*, Vol. 6, no. 4, pp. 55-59.
25. Sapozhnikov, V., Sapozhnikov, Vl. and Efanov, D. (2017), "Search Algorithm for Fully Tested Elements in Combinational Circuits, Controlled on the Basis of Berger Codes", *Proceeding of the 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 29 - October 2, 2017, pp. 99-108. DOI: 10.1109/EWDTS.2017.8110085.

Received 15.07.19

*В.В. Сапожніков, Вл.В. Сапожніков, Д.В. Єфанов*

#### ВИЯВЛЕННЯ НЕСПРАВНОСТЕЙ У КОМБІНАЦІЙНИХ ЛОГІЧНИХ СХЕМАХ НА ОСНОВІ ЇХНЬОГО КОНТРОЛЮ ПО ГРУПАМ СИМЕТРИЧНО НЕЗАЛЕЖНИХ ВИХОДІВ

Описано основні результати дослідження розвитку способів контролю комбінаційних схем на основі властивостей кодів, орієнтованих на виявлення помилок певних видів та кратностей. Встановлено, що при використанні класичних кодів з підсумовуванням (кодів Бергера) та ряду їх модифікацій при організуванні контролю комбінаційних схем є можливим використання особливостей виявлення як монотонних, так і частини немонотонних помилок у інформаційних векторах. Показано, що можливий пошук таких груп виходів комбінаційних схем, на яких з'являються тільки симетричні помилки внаслідок одиночних несправностей елементів внутрішньої структури схеми. Такі групи виходів названо симетрично незалежними групами (СН-групами) виходів. Визначено умови приналежності групи виходів комбінаційної схеми до СН-груп виходів. Показано, що кожна СН-група виходів може бути контрольована за допомогою окремої підсистеми контролю на основі коду з визначенням будь-яких несиметричних помилок (і будь-яких несиметричних помилок до визначених кратностей). Запропоновано способи пошуку СН-груп виходів при організуванні контролю комбінаційних схем. Особливу увагу приділено контролю несправностей на входах комбінаційних схем.

*К л ю ч о в і с л о в а: комбінаційна схема, самоперевіряєма структура, монотонна, симетрична, асиметрична помилки, групи симетрично незалежних виходів.*

*V.V. Sapozhnikov, V.Vl. Sapozhnikov, D.V. Efanov*

#### FAULT DETECTION IN COMBINATIONAL LOGIC CIRCUITS BASED ON SYMMETRICALLY INDEPENDENT OUTPUTS GROUPS CHECKING

The main study results of the testing methods development for combinational circuits based on the properties of the codes focused on the errors detection of certain types and multiplicities are described. It is established that when using classical sum codes (Berger's code) and a number of their modifications when organizing checking of combinational circuits, it is possible to use the features of detecting unidirectional and some non-unidirectional errors in data vectors. It is shown that it is possible to search for such output's groups on which only symmetrical errors occur due to single-error of the circuit internal structural elements. Such output groups are called symmetrically independent (SI-groups) outputs. The combinational circuit outputs group belonging conditions to the outputs SI-groups are determined. It is shown that each outputs SI-group can be controlled using a separate check subsystem based on a code with the detection of any asymmetric errors (and any asymmetric errors to certain multiplicities). Methods are

proposed for searching for outputs SI-groups in combinational circuits organizing control. Particular attention is paid to the faults control at the combinational circuit's inputs.

*Key words: combinational circuit, self-checking structure, unidirectional, symmetrical, asymmetrical errors, symmetrically-independent outputs groups.*

*САПОЖНИКОВ Валерий Владимирович, д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. Окончил Ленинградский институт инженеров железнодорожного транспорта в 1963 г. Область научных исследований — надежность синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.*

*САПОЖНИКОВ Владимир Владимирович, д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. Окончил Ленинградский институт инженеров железнодорожного транспорта в 1963 г. Область научных исследований — надежность синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.*

*ЕФАНОВ Дмитрий Викторович, д-р техн. наук, доцент, профессор кафедры «Автоматика, телемеханика и связь на железнодорожном транспорте» Российского университета транспорта, руководитель направления комплексных систем управления ООО «ЛокоТех-Сигнал». Окончил Петербургский государственный университет путей сообщения в 2007 г. Область научных исследований — дискретная математика, надежность и техническая диагностика дискретных систем.*