

doi: <https://doi.org/10.15407/emodel.42.03.027>
УДК 004.052.32+681.518.5

Д.В. Ефанов, д-р техн. наук
Российский университет транспорта
(Российская Федерация, 127994, Москва, ул. Образцова, д. 9, стр. 9,
тел. (+7) 9117092164, (+7) (915) 4809191, e-mail: TrES-4b@yandex.ru),
В.В. Сапожников, д-р техн. наук, **Вл.В. Сапожников**, д-р техн. наук,
Д.В. Пивоваров, аспирант
Петербургский государственный университет путей сообщения
Императора Александра I
(Российская Федерация, 190031, Санкт-Петербург, Московский пр., 9,
тел. (+7) (812) 4578579, e-mail: port.at.pgups@gmail.com)

Метод функционального контроля комбинационных логических устройств на основе самодвойственного дополнения до равновесных кодов

Предложен метод организации систем функционального контроля (ФК), сочетающий контроль по принадлежности формируемых кодовых слов заранее выбранному равновесному коду и контроль принадлежности каждой функции классу самодвойственных функций. Такой способ организации систем ФК позволяет повысить обнаруживающую способность по сравнению с контролем по методу логического дополнения до равновесных кодов или до самодвойственных функций. Показано, что при организации контроля комбинационных логических устройств по разработанному методу могут быть использованы только равновесные коды с одинаковым числом единичных и нулевых разрядов (так называемые коды « r из $2r$ », где r — вес кодового слова). Приоритет при организации системы ФК отдается равновесному коду «2 из 4». Разработаны алгоритмы синтеза систем ФК, структуры которых являются полностью самопроверяемыми относительно одиночных константных неисправностей выходов внутренних логических элементов. Результаты моделирования работы системы ФК на примере произвольного комбинационного логического устройства показали высокую эффективность разработанного метода.

К л ю ч е в ы е с л о в а: комбинационное логическое устройство, система функционального контроля, контроль технического состояния, обнаружение неисправностей, самодвойственное дополнение, равновесные коды, код «2 из 4».

Основным способом создания высоконадежных и безопасных систем управления ответственными технологическими процессами является вне-

© Ефанов Д.В., Сапожников В.В., Сапожников Вл.В., Пивоваров Д.В., 2020

сение избыточности в аппаратные и программные средства их компонентов [1—3]. Это требует наличия развитых технических средств диагностирования, которыми снабжаются отдельные блоки систем управления [4]. Широко применяются также методы обнаружения неисправностей в процессе эксплуатации технических объектов, в том числе и методы рабочего (функционального) диагностирования [5].

В системе функционального диагностирования контролируемый блок (объект диагностирования) снабжается техническими средствами диагностирования, позволяющими определять техническое состояние в процессе выполнения им своих функций. Наиболее просто решается задача не идентификации конкретного отказавшего элемента объекта диагностирования, а контроля правильности вычислений, или контроля исправности объекта диагностирования. Именно такую задачу решают системы функционального контроля (ФК) [6—9].

Системами ФК снабжаются, как правило, комбинационные составляющие логических устройств автоматики [10], а для компонентов, обладающих памятью (например, регистров памяти), организуется периодическое тестирование [11]. При синтезе систем ФК получили распространение помехоустойчивые двоичные коды. Из всего многообразия таких кодов [12] для синтеза систем ФК могут быть использованы только равномерные коды — коды с постоянной длиной кодовых слов. Это обусловлено спецификой решаемой задачи. Избыточность кода непосредственно определяет и избыточность системы ФК.

Принято сравнивать избыточность систем ФК с избыточностью систем дублирования, при организации которых используются коды с повторением [13, 14]. Чем меньше избыточность системы ФК, тем эффективнее она по сравнению с системой дублирования по показателям сложности технической реализации. Однако при дублировании обнаруживаются любые сочетания неисправностей в объекте диагностирования, а при использовании кодов с меньшей избыточностью часть неисправностей может быть не обнаружена.

Поскольку контроль состояния устройств осуществляется по результатам вычислений, а их структуры могут быть таковыми, что при определенных ограничениях на модели неисправностей возникновение ряда ошибок на выходах невозможно, эффективными могут оказаться также и помехозащищенные и помехоустойчивые коды с уменьшенной избыточностью по сравнению с кодами с повторением. К таким кодам относятся равновесные коды, различные коды с суммированием и их модификации, коды Хэмминга, Рида — Соломона, Гэллагера (с малой плотностью проверок на четность, *LDPC*-коды) и др. [15—22].

Известны две основные структурные схемы систем ФК. Первая основана на методе вычисления контрольных разрядов, а вторая — на методе логического дополнения (ЛД) информационных функций объекта диагностирования до функций заранее установленного вида (они могут формировать как разряды кодовых слов заранее выбранного кода, так и функции, принадлежащие к определенному классу функций алгебры логики) [23].

Будем рассматривать вторую структурную схему систем ФК и контроль как по заранее выбранному коду, так и по виду принадлежности функций к специальному классу функций алгебры логики — самодвойственным функциям [24, 25]. Функциональный контроль по двум признакам может оказаться более эффективным при обнаружении ошибок на выходах логических устройств автоматики и управления, чем контроль только по одному признаку [26].

Метод логического дополнения. Структурная схема системы ФК, синтезированная по методу ЛД, представлена на рис. 1. В ней объект диагностирования, устройство $F(x)$, снабжается специализированной схемой контроля в составе трех блоков: контрольной логики (блок $G(x)$), логического дополнения (блок ЛД) и тестера (блок TSC (totally self-checking checker)).

В системе ФК каждая рабочая функция f_i преобразуется в функцию дополнения h_i . Это преобразование осуществляется с использованием специального блока ЛД, образованного параллельно расположенными сумматорами по модулю два (элементами XOR). Преобразование каждой функции осуществляется по формуле $h_i = f_i \oplus g_i$, $i = \overline{1, m}$.

При синтезе систем ФК по структурной схеме, приведенной на рис. 1, наиболее удобно применять равновесные коды [27—33]. При этом приоритет отдается равновесным кодам с малой длиной кодовых слов, так как тестеры таких кодов более простые и требуют небольшого числа тестовых комбинаций для полной проверки технического состояния [34]. Возможно применение и разделимых кодов, например кодов с суммированием [35].

Кроме контроля принадлежности формируемых значений кодовых векторов заранее выбранному коду в системе ФК можно осуществлять контроль принадлежности к определенному особому классу функций алгебры логики, например к классу самодвойственных функций [36].

Функция алгебры логики принадлежит классу самодвойственных функций, если выполняется следующее условие: $f(x_1, x_2, \dots, x_t) = \overline{f(\overline{x_1}, \overline{x_2}, \dots, \overline{x_t})}$, т.е. самодвойственная функция является функцией,

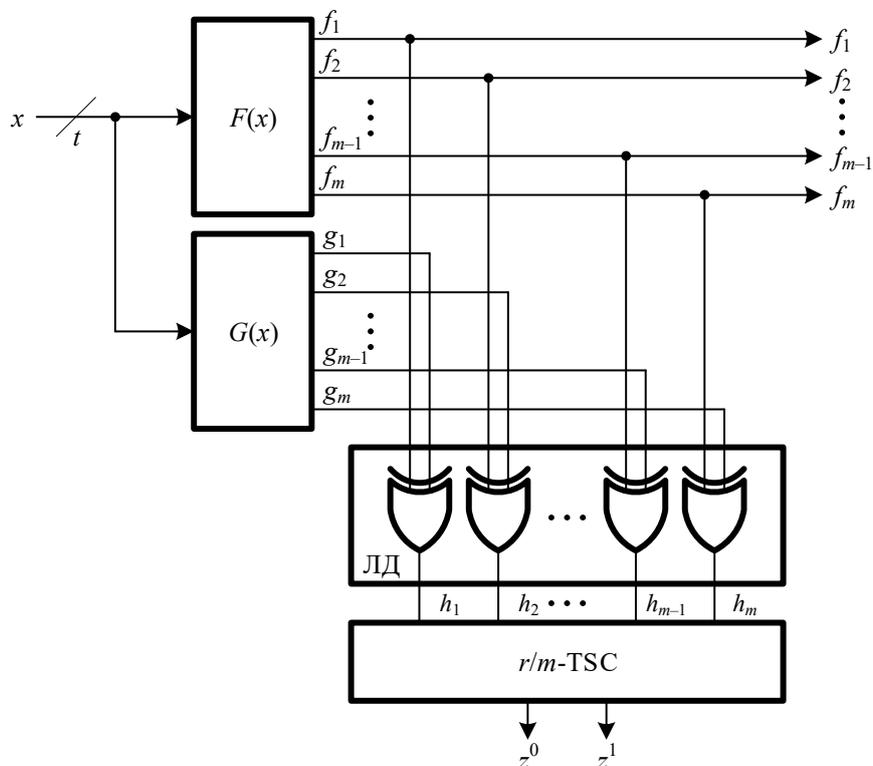


Рис. 1. Структурная схема системы ФК, синтезированной по методу ЛД: f_1, \dots, f_m — рабочие выходы; h_1, \dots, h_m — кодовое слово r/m -кода; z^0, z^1 — контрольные выходы

которая двойственна сама к себе. У такой функции значения являются противоположными при противоположных значениях аргументов (на противоположных входных векторах, ортогональных по всем переменным).

Рассмотрим пример самодвойственной функции. Функция

$$f = x_1x_2 \vee x_1x_3 \vee x_2x_3 \quad (1)$$

осуществляет мажоритирование трех входных значений. Запишем функцию, двойственную к функции (1):

$$\begin{aligned} f^* &= \overline{\overline{x_1x_2 \vee x_1x_3 \vee x_2x_3}} = (\overline{\overline{x_1 \vee x_2}})(\overline{\overline{x_1 \vee x_3}})(\overline{\overline{x_2 \vee x_3}}) = \\ &= (x_1 \vee x_2)(x_1 \vee x_3)(x_2 \vee x_3) = \\ &= (x_1 \vee x_2x_3)(x_2 \vee x_3) = x_1x_2 \vee x_2x_2x_3 \vee x_1x_3 \vee x_2x_3x_3 = x_1x_2 \vee x_1x_3 \vee x_2x_3. \quad (2) \end{aligned}$$

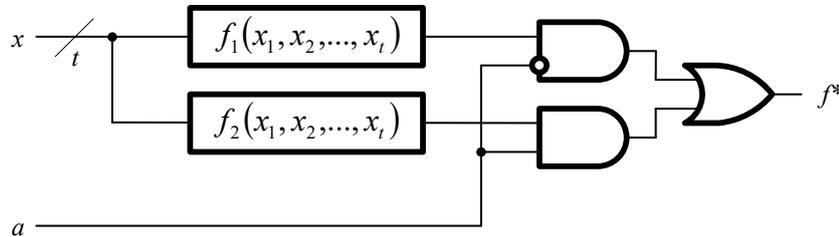


Рис. 2. Схема реализации самодвойственного устройства

Функция (2) используется в мажоритарных логических элементах. В монографиях [24, 25] приведены и другие примеры реальных самодвойственных устройств автоматики и управления.

Известно [24, 25], что любое логическое устройство может быть преобразовано к самодвойственному виду. Логическое устройство называется самодвойственным, если все его выходные функции являются самодвойственными. Существует два основных способа получения самодвойственных структур для несамодвойственных устройств. Первый состоит в реализации их в самодвойственном базисе, а второй — в использовании специального преобразования:

$$f^* = f^*(x_1, x_2, \dots, x_t) = \bar{a}f(0, x_1, x_2, \dots, x_t) \vee af(1, x_1, x_2, \dots, x_t) = \bar{a}f_1(x_1, x_2, \dots, x_t) \vee af_2(x_1, x_2, \dots, x_t), \quad (3)$$

где $f_1(x_1, x_2, \dots, x_t)$ и $f_2(x_1, x_2, \dots, x_t)$ — двойственные функции. Формула (3) не что иное, как преобразование Шеннона (разложение по одной переменной). На основании (3) любое устройство может быть преобразовано в самодвойственное по структурной схеме, приведенной на рис. 2.

Самодвойственное дополнение. Учитывая возможности построения самодвойственных устройств автоматики и вычислительной техники, можно осуществлять и контроль возникающих в них неисправностей. С этой целью следует проверять соответствие реализуемых устройством функций классу самодвойственных функций алгебры логики. На рис. 3 представлена структурная схема системы ФК, основанная именно на таком свойстве.

Для контроля принадлежности формируемых устройством функций классу самодвойственных функций алгебры логики используется специализированная схема контроля (СК), в которую включены тестеры самодвойственных сигналов SSC (self-checking self-dual checker) [37] и модули сжатия парафазных сигналов TRC (two-rail checker) [38].

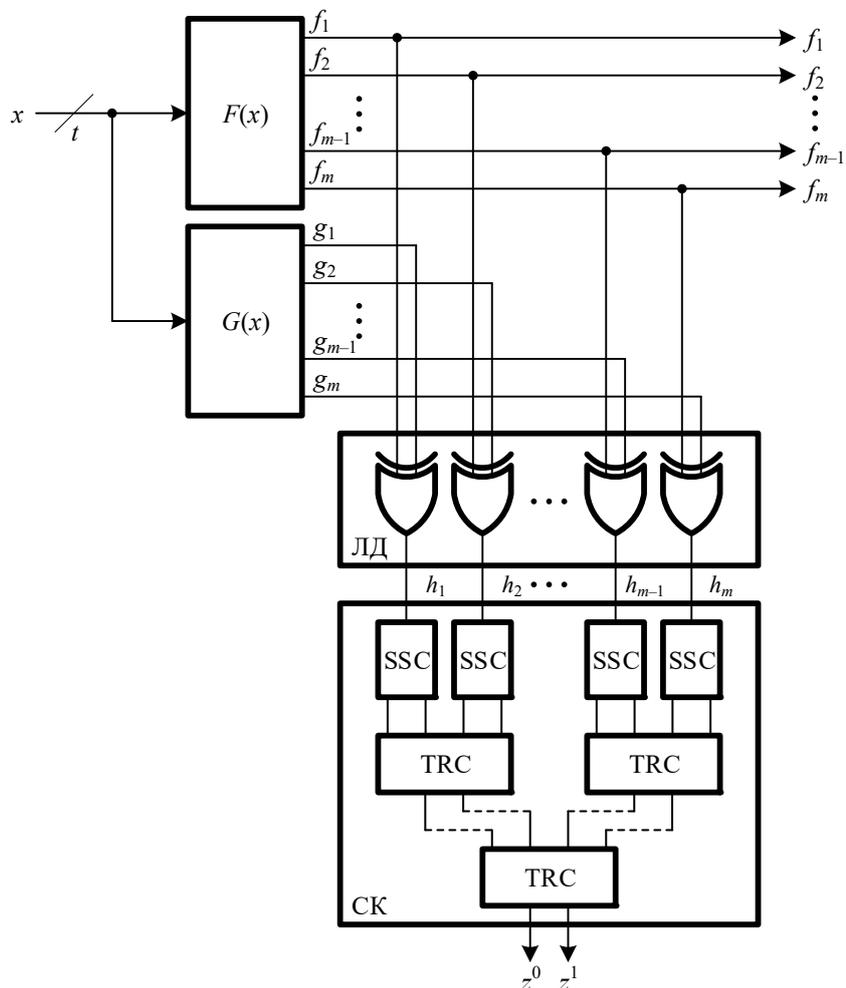


Рис. 3. Структурная схема системы ФК по признаку самодвойственности функций: f_1, \dots, f_m — рабочие функции; z^0, z^1 — контрольные функции; СК — схема контроля

На рис. 4, а, приведена структурная схема SSC, в которой самодвойственный сигнал f^* с помощью линии задержки, равной одному такту импульсной последовательности a , преобразуется в двухфазный сигнал $\langle v_1 v_2 \rangle$. Модуль SSC оборудован двумя выходами и при самодвойственности входного сигнала формирует на выходах парафазный сигнал $\langle 01 \rangle$ либо $\langle 10 \rangle$. При нарушении самодвойственности поступающего сигнала на выходе формируется непарафазный сигнал.

Модуль сжатия парафазных сигналов позволяет преобразовывать два парафазных сигнала в один и используется для уменьшения числа наблюдаемых контрольных выходов. С этой целью парафазные выходы всех SSC

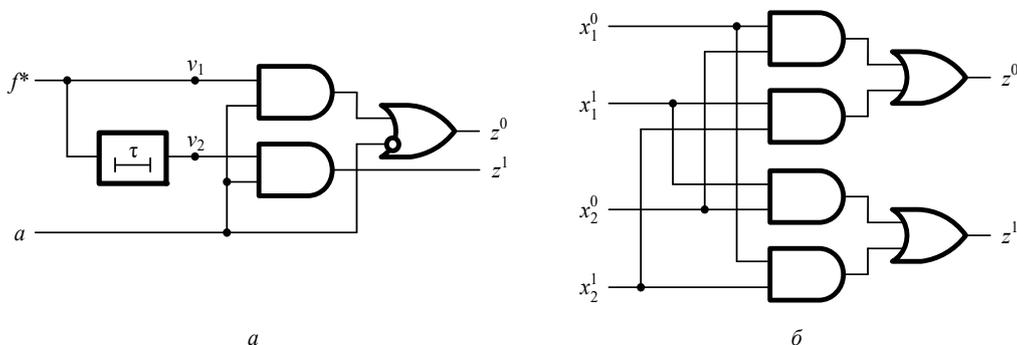


Рис. 4. Структурные схемы модулей SSC (а) и TRC(б)

объединяются на входах самопроверяемых схем сжатия парафазных сигналов TRC, выходы которых каскадно соединяются так, чтобы получить на выходе схемы контроля один парафазный сигнал. Модули TRC являются стандартными, один из вариантов их реализации приведен на рис. 4, б [39].

Самодвойственное дополнение до равновесных кодов. Реализация системы ФК по двум признакам (принадлежности каждой функции классу самодвойственных и контроль принадлежности вектора $\langle h_1h_2h_3h_4 \rangle$ равновесному коду) возможна только при использовании кодов вида « r из $2r$ » ($r/2r$ -кодов), где r — вес кодового вектора. К таким кодам относятся коды 1/2, 2/4, 3/6 и так далее. Целесообразно рассмотреть использование 2/4-кода в системе ФК, так как его тестер имеет наиболее простую структуру, а также требует для полной проверки в наиболее простой реализации подачи на входы только четырех кодовых комбинаций [40].

На рис. 5 приведена структурная схема системы ФК, организованной по методу ЛД до равновесного 2/4-кода с принадлежностью каждой функции вектора $\langle h_1h_2h_3h_4 \rangle$ к классу самодвойственных функций. Объектом диагностирования является блок $F(x)$, реализующий четыре рабочие функции. Это так называемый базовый вариант организации СК: для многовыходных логических устройств следует выделять группы выходов для отдельного контроля с последующим объединением контрольных выходов на входах самопроверяемого компаратора.

Информационный вектор $\langle f_1 f_2 f_3 f_4 \rangle$, образованный рабочими функциями объекта диагностирования, преобразуется в кодовое слово $\langle h_1h_2h_3h_4 \rangle$, принадлежащее 2/4-коду. При этом преобразование осуществляется так, чтобы каждая функция в кодовом слове была самодвойственной. Эта особенность кодового слова $\langle h_1h_2h_3h_4 \rangle$ достигается с помощью использования блока контрольной логики $G(x)$ и блока ЛД, образованного каскадом элементов XOR. На этапе проектирования сис-

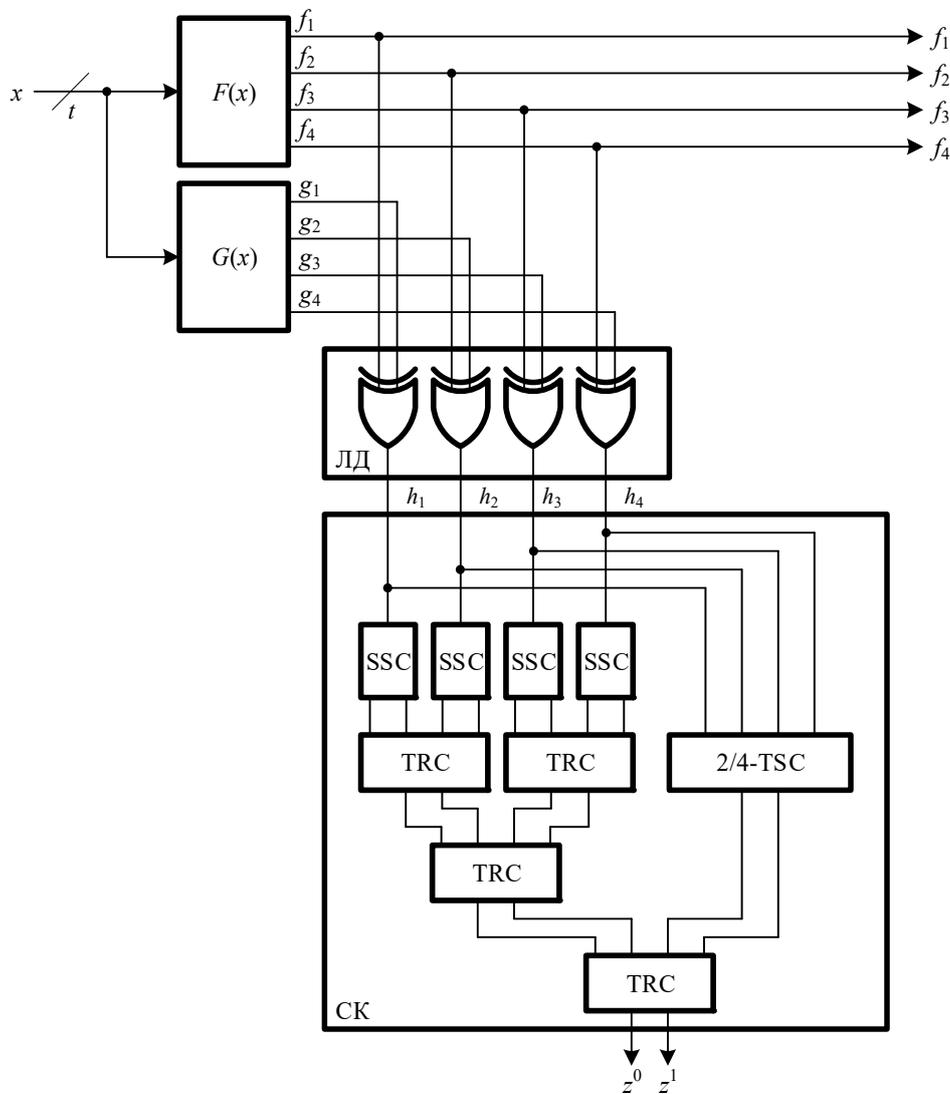
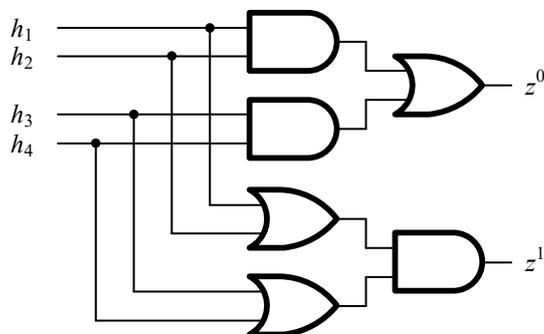


Рис. 5. Структурная схема системы ФК

темы ФК функции, реализуемые блоком $G(x)$, подбираются так, чтобы были обеспечены требуемые свойства для реализации контроля вычислений и подача всех тестовых комбинаций на все элементы XOR.

Контроль принадлежности кодового слова $\langle h_1 h_2 h_3 h_4 \rangle$ 2/4-коду осуществляется с использованием тестера 2/4-TSC, наиболее простая структура которого изображена на рис. 6 [40]. Тестер 2/4-TSC снабжен двумя выходами, на которых формируется парафазный сигнал $\langle 01 \rangle$ или $\langle 10 \rangle$ в

Рис. 6. Структурная схема 2/4-TSC



случае, если поступающее на его входы кодовое слово принадлежит 2/4-коду. В противном случае на выходах тестера формируется непарафазный сигнал, свидетельствующий об ошибке в вычислениях. Контроль са-

модвойственности каждой функции кодового слова $\langle h_1h_2h_3h_4 \rangle$ осуществляется с использованием тестера самодвойственной функции SSC.

Обнаружение ошибок в представленной на рис. 5 структуре достигается в результате того, что при наличии искажения в кодовом слове $\langle h_1h_2h_3h_4 \rangle$, не зафиксированного схемой 2/4-TSC, возникает искажение и некоторых функций h_1 , h_2 , h_3 и (или) h_4 , что может нарушить свойство их самодвойственности. В системе ФК на основе логического дополнения до равновесного кода с самодвойственными функциями разрядов обнаруживается любая ошибка в кодовом слове $\langle h_1h_2h_3h_4 \rangle$, кроме ошибки, которая не нарушает его вес и при этом проявляется в виде одинакового искажения на противоположных входных наборах.

Рассмотрим особенности модифицированной схемы системы ФК, изображенной на рис. 5. В табл. 1 заданы параметры комбинационного логического устройства, имеющего четыре входа и четыре выхода. Определим значения контрольных функций g_1 , g_2 , g_3 , g_4 , позволяющие организовать контроль заданного комбинационного логического устройства на основе ЛД до равновесного кода с контролем самодвойственности каждой функции контрольного разряда кодового слова $\langle h_1h_2h_3h_4 \rangle$. Расширим табл. 1 и доопределим вручную значения контрольных функций. При этом учтем необходимость выполнения следующих требований:

1. Каждое кодовое слово $\langle h_1h_2h_3h_4 \rangle$ должно принадлежать равновесному 2/4-коду.
2. Должны быть сформированы минимум по одному разу тестовые комбинации для 2/4-TSC: $\{0011; 1100; 0110; 1001\}$ [41].
3. Должны быть сформированы минимум по одному разу тестовые комбинации для каждого элемента XOR: $\{00; 01; 10; 11\}$ [42].
4. Значения каждой функции h_1 , h_2 , h_3 и h_4 должны быть противоположными на противоположных входных наборах.

С учетом требований 1—4 получаем значения контрольных функций, формируемые блоком $G(x)$.

Последовательность доопределения значений контрольных функций.

А л г о р и т м 1. Доопределение значений контрольных функций с учетом выполнения требований контролепригодности СК и постпроверкой контролепригодности блока ЛД:

1. Проверяется наличие минимум двух нулевых и двух единичных значений каждой функции f_1, f_2, f_3 и f_4 на всех входных наборах.

2. В столбцы первой (или второй) половины таблицы относительно ее середины, соответствующие кодовым словам $\langle h_1h_2h_3h_4 \rangle$, произвольно равномерно заносятся комбинации $\langle 0011 \rangle$ и $\langle 0110 \rangle$ или $\langle 0011 \rangle$ и $\langle 1001 \rangle$, или $\langle 1100 \rangle$ и $\langle 0110 \rangle$, или $\langle 1100 \rangle$ и $\langle 1001 \rangle$.

3. Заполняются противоположными значениями на противоположных наборах относительно середины таблицы столбцы второй половины таблицы, соответствующие кодовым словам $\langle h_1h_2h_3h_4 \rangle$.

4. Вычисляются значения контрольных функций $g_i = f_i \oplus h_i, i = \overline{1,4}$.

5. Определяются формируемые комбинации на элементах сложения по модулю два в блоке ЛД.

6. С учетом п. 2 и 3 требования о формировании тестового множества для 2/4-TSC и наделения функций h_1, h_2, h_3 и h_4 свойством самодвойственности будут выполнены. Требуется проверить формирование полного множества тестовых комбинаций для элементов сложения по

Таблица 1. Таблица истинности комбинационного логического устройства

Номер п.п.	x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4
0	0	0	0	0	0	1	0	1
1	0	0	0	1	1	1	1	1
2	0	0	1	0	1	1	1	1
3	0	0	1	1	1	0	0	0
4	0	1	0	0	1	0	1	1
5	0	1	0	1	0	0	0	0
6	0	1	1	0	1	1	0	1
7	0	1	1	1	0	1	0	1
8	1	0	0	0	1	0	1	1
9	1	0	0	1	0	0	1	0
10	1	0	1	0	0	1	1	1
11	1	0	1	1	0	1	0	1
12	1	1	0	0	1	0	0	1
13	1	1	0	1	0	0	1	0
14	1	1	1	0	0	1	1	1
15	1	1	1	1	1	0	0	0

модулю два блока ЛД. Если для какого-либо элемента сложения по модулю два блока ЛД не удастся сформировать требуемую тестовую комбинацию, необходимо изменить заполнение строк на этапе выполнения п. 2.

Алгоритм 1 удобно использовать при большом числе входных переменных, так как вероятность достижения результата формирования тестовых комбинаций элементов сложения по модулю два блока ЛД с увеличением числа входных переменных возрастает.

Используя алгоритм 1, получаем табл. 2. Поскольку алгоритм 1 не всегда дает приемлемый результат, представим алгоритм, основанный на первоначальной проверке контролепригодности элементов сложения по модулю два.

А л г о р и т м 2. Последовательное доопределение значений контрольных функций с учетом выполнения требований контролепригодности:

1. Проверяется наличие минимум двух нулевых и двух единичных значений каждой функции f_1, f_2, f_3 и f_4 на всех входных наборах.

2. Осуществляется доопределение значений функций h_1, h_2, h_3 и h_4 с учетом необходимости формирования тестовых комбинаций для элементов сложения по модулю два в блоке ЛД:

2.1. Хотя бы для одного случая $f_i = 0$ значение функции h_i доопределяется равным нулю и хотя бы для одного случая $f_i = 1$ — равным единице;

2.2. Хотя бы для одного случая $f_i = 1$ значение функции h_i доопределяется равным нулю и хотя бы для одного случая $f_i = 0$ — равным единице.

3. Если доопределение значений функций h_i на одних и тех же входных наборах привело к формированию некодового слова 2/4-кода, осуществляется иное доопределение; если ни один вариант доопределения не удовлетворяет поставленному условию, то самопроверяемое устройство на основе представленного подхода не может быть построено.

4. Заполняются значения функций h_1, h_2, h_3 и h_4 в строках, расположенных симметрично относительно середины таблицы: уже заполненные значения инвертируются и помещаются в соответствующие строки, расположенные симметрично.

5. Заполняются столбцы кодовых слов $\langle h_1 h_2 h_3 h_4 \rangle$ для тех строк, в которых уже занесены значения.

6. Проверяется наличие всех четырех тестовых комбинаций 2/4-TSC.

7. С учетом требований по формированию кодовых слов 2/4-кода, необходимых для проверки 2/4-TSC и самодвойственности функций h_1, h_2, h_3 и h_4 , заполняются оставшиеся столбцы.

Поскольку множество необходимых тестовых комбинаций для полной проверки всех элементов СК имеет малую мощность, на практике удастся обеспечивать полную самопроверяемость структуры, представленной на рис. 5. Чем больше число входов у объекта диагностирования, тем проще решить поставленную задачу. Кроме того, возможен выбор

доопределяемых значений, что позволяет влиять и на сложность контрольных функций. Как следует из алгоритмов 1 и 2, процесс доопределения значений функций основан на операциях перебора, а сами алгоритмы имеют экспоненциальную трудоемкость от числа входов исходного комбинационного устройства. Это обстоятельство следует учитывать при применении представленных алгоритмов.

Моделирование работы структуры ЛД. Для проверки эффективности описанного метода ФК были проведены эксперименты по моделированию систем ФК с реализацией компонентов в среде моделирования Multisim. Особенности процесса создания модели системы ФК изложены в [26].

Рассмотрим основные аспекты данного процесса, используя в качестве примера схему, изображенную на рис. 7. В данной схеме неисправности могут приводить к многократным ошибкам, не обнаруживаемым при организации контроля только по равновесным кодам. Поэтому, используя схему, представленную на рис. 7, можно определить различия в обнаруживающей способности между системой ФК, построенной с использованием только равновесного кода и с использованием равновесного кода с проверкой самодвойственности каждой преобразованной функции.

Таблица 2. Сигналы на линиях схемы системы ФК

Номер п.п.	Рабочая функция				Контрольная функция				Кодовое слово на выходе блока ЛД				Формируемая тестовая комбинация элементов сложения по модулю два			
	f_1	f_2	f_3	f_4	g_1	g_2	g_3	g_4	h_1	h_2	h_3	h_4	XOR ₁	XOR ₂	XOR ₃	XOR ₄
0	0	1	0	1	0	0	1	1	0	1	1	0	00	10	01	11
1	1	1	1	1	1	0	0	1	0	1	1	0	11	10	10	11
2	1	1	1	1	1	0	0	1	0	1	1	0	11	10	10	11
3	1	0	0	0	1	1	1	0	0	1	1	0	11	01	01	00
4	1	0	1	1	1	0	0	0	0	0	1	1	11	00	10	10
5	0	0	0	0	0	0	1	1	0	0	1	1	00	00	01	01
6	1	1	0	1	1	1	1	0	0	0	1	1	11	11	01	10
7	0	1	0	1	0	1	1	0	0	0	1	1	00	11	01	10
8	1	0	1	1	0	1	1	1	1	1	0	0	10	01	11	11
9	0	0	1	0	1	1	1	0	1	1	0	0	11	01	11	00
10	0	1	1	1	1	0	1	1	1	1	0	0	01	10	11	11
11	0	1	0	1	1	0	0	1	1	1	0	0	11	10	00	1
12	1	0	0	1	0	0	0	0	1	0	0	1	00	00	00	10
13	0	0	1	0	1	0	1	1	1	0	0	1	11	00	11	01
14	0	1	1	1	1	1	1	0	1	0	0	1	01	11	11	10
15	1	0	0	0	0	0	0	1	1	0	0	1	10	00	00	01

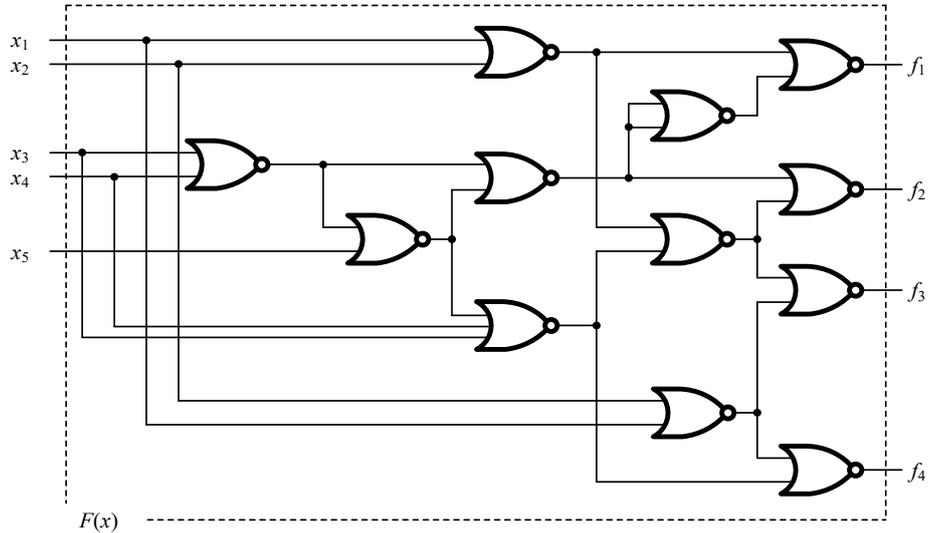


Рис. 7. Заданная комбинационная схема (AT_testbench)

Правая часть табл. 3 (столбцы x_1 – x_5 и f_1 – f_4) представляет собой таблицу истинности заданной схемы. Анализируя табл. 3, видим, что ни одна из функций данной схемы не является самодвойственной, поэтому необходимо использовать все четыре функции дополнения. Для построения системы ФК выбран равновесный 2/4-код, так как его вес r в два раза меньше общего числа символов в словах кода m ($r = m/2$), что, как показано выше, позволяет обеспечить самодвойственность функций при использовании метода ЛД.

Структура системы ФК, построенная методом логического дополнения на основе равновесного 2/4-кода с дополнительной проверкой принадлежности функций классу самодвойственных функций алгебры логики, реализована в соответствии с рис. 5. Входы выбранной схемы подключены к входам элементов XOR. Вторые входы каждого из элементов XOR подключены к генератору тактовых импульсов. Когда на выходе генератора сформирован сигнал нуля, на входы схемы подаются заданные входные воздействия, а когда сформирован сигнал единицы, то на входы схемы подаются воздействия, противоположные заданным. Исходя из этого, когда на выход генератора поступит сигнал нуля, будет формироваться кодовое слово для заданных входных наборов, а когда на выходе генератора сформируется сигнал единицы, будет формироваться противоположное значениям разрядов кодовое слово. Таким образом, помимо контроля принадлежности кодового слова классу равновесных кодов происходит и проверка принадлежности каждой сформированной функции h_i , $i = 1, 4$, классу самодвойственных функций алгебры логики.

Табл. 3, в которой представлены слова 2/4-кода и функции ЛД (столбцы g_1-g_4 и h_1-h_4), заполнялась способом подбора так, чтобы обеспечить самопроверяемость и тестера и элементов XOR (это является, одновременно и плюсом, и минусом метода, так как, с одной стороны, позволяет произвольно дополнять функции с учетом возможности их минимизации, а с другой стороны, в процессе подразумевается наличие

Таблица 3. Таблица истинности исходной схемы и значений функций ЛД

x_1	x_2	x_3	x_4	x_5	f_1	f_2	f_3	f_4	g_1	g_2	g_3	g_4	h_1	h_2	h_3	h_4
0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	1	0
0	0	0	0	1	0	1	0	0	1	0	0	0	1	1	0	0
0	0	0	1	0	0	1	0	0	0	1	1	1	0	0	1	1
0	0	0	1	1	0	0	0	0	1	0	0	1	1	0	0	1
0	0	1	0	0	0	1	0	0	1	1	1	0	1	0	1	0
0	0	1	0	1	0	0	0	0	1	1	0	0	1	1	0	0
0	0	1	1	0	0	1	0	0	1	1	1	0	1	0	1	0
0	0	1	1	1	0	0	0	0	1	1	0	0	1	1	0	0
0	1	0	0	0	0	1	1	0	0	0	0	0	0	1	1	0
0	1	0	0	1	0	1	1	0	0	0	1	1	0	1	0	1
0	1	0	1	0	0	0	0	1	0	1	0	0	0	1	0	1
0	1	0	1	1	1	0	0	1	0	0	1	1	1	0	1	0
0	1	1	0	0	0	0	0	1	1	1	0	1	1	1	0	0
0	1	1	0	1	1	0	0	1	1	1	1	1	1	1	0	0
0	1	1	1	0	0	0	0	1	1	1	1	1	1	1	0	0
0	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1	0
1	0	0	0	0	0	1	1	0	1	1	1	1	1	0	0	1
1	0	0	0	1	0	1	1	0	0	1	0	1	0	0	1	1
1	0	0	1	0	0	0	0	1	1	0	0	0	1	0	0	1
1	0	0	1	1	1	0	0	1	1	0	1	0	0	0	1	1
1	0	1	0	0	0	0	0	1	0	1	0	0	0	1	0	1
1	0	1	0	1	1	0	0	1	0	0	1	1	1	0	1	0
1	0	1	1	0	0	0	0	1	1	0	1	1	1	0	1	0
1	0	1	1	1	1	0	0	1	0	0	0	0	1	0	0	1
1	1	0	0	0	0	1	1	0	0	1	0	1	0	0	1	1
1	1	0	0	1	0	1	1	0	0	0	1	1	0	1	0	1
1	1	0	1	0	0	0	0	1	0	0	1	0	0	0	1	1
1	1	0	1	1	1	0	0	1	1	1	0	0	0	1	0	1
1	1	1	0	0	0	0	0	1	0	1	1	1	0	1	1	0
1	1	1	0	1	1	0	0	1	0	1	0	1	1	1	0	0
1	1	1	1	0	0	0	0	1	0	0	1	0	0	0	1	1
1	1	1	1	1	1	0	0	1	0	0	0	0	1	0	0	1

большого числа вариантов доопределения, что в некоторых случаях может создавать значительные трудности).

В результате минимизации получены следующие формулы:

$$\begin{aligned}
 g_1 &= \overline{x_1 x_3} \vee \overline{x_1 x_2 x_5} \vee \overline{x_1 x_2 x_4 x_5} \vee \overline{x_1 x_3 x_4 x_5} \vee \overline{x_1 x_2 x_3 x_5}, \\
 g_2 &= \overline{x_1 x_3} \vee \overline{x_1 x_4 x_5} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_4 x_5} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_4 x_5}, \\
 g_3 &= \overline{x_1 x_2 x_5} \vee \overline{x_1 x_2 x_5} \vee \overline{x_2 x_3 x_4 x_5} \vee \overline{x_1 x_2 x_4 x_5} \vee \overline{x_1 x_3 x_4 x_5} \vee \overline{x_1 x_2 x_3 x_5} \vee \\
 &\quad \vee \overline{x_2 x_3 x_4 x_5} \vee \overline{x_1 x_2 x_3 x_4 x_5} \vee \overline{x_1 x_2 x_3 x_4 x_5}, \\
 g_4 &= \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_5} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_4 x_5} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4 x_5}.
 \end{aligned}
 \tag{4}$$

Следует заметить, что выражения (4) можно сократить, используя скобочную форму записи и минимизируя функции как систему функций. Это позволит упростить блок $G(x)$ и синтезировать более простую схему контроля (сложность конечной структуры не превышает сложности системы дублирования).

Работа системы ФК смоделирована в среде моделирования электрических и логических схем Multisim. Следует заметить, что в Multisim достаточно сложно реализовать элементы задержки сигналов, необходимые для работы тестера самодвойственности. Аналог линии задержки в ходе разработки модели было решено реализовать на двух JK-триггерах, работающих как D-триггеры (U15A и U9A). Модель тестера самодвойственности приведена на рис. 8, а. Особенностью этой схемы является то, что к входам синхронизации триггеров подключен генератор тактовых импульсов частотой 10 Гц с небольшим сдвигом по фазе. При этом к одному из триггеров генератор подключен через инвертор (U16D). Таким образом, триггеры срабатывают в разные моменты времени. К тестеру подключен также еще один генератор тактовых импульсов с частотой 10 Гц (U13).

Как видно из рис. 8, а, если на выходе генератора U13 будет сигнал единицы, то на индикаторы X1 и X2 транслируется сигнал с выходов триггеров. Если на выходе генератора U13 будет сигнал нуля, то на индикаторах установится сигнал <10>. Таким образом, тестер вырабатывает парафазный сигнал тогда, когда на выходе генератора появляется сигнал «0» или тогда, когда присутствует сигнал «1», но триггеры находятся в противоположных состояниях.

На рис. 8, б приведена простая схема, контролируемая данным тестером (тестер самодвойственности подключается к выходу данной схемы). Тестер самодвойственности сравнивает текущий сигнал, поступающий на его вход, с предыдущим сигналом. Поэтому на входах контролируе-

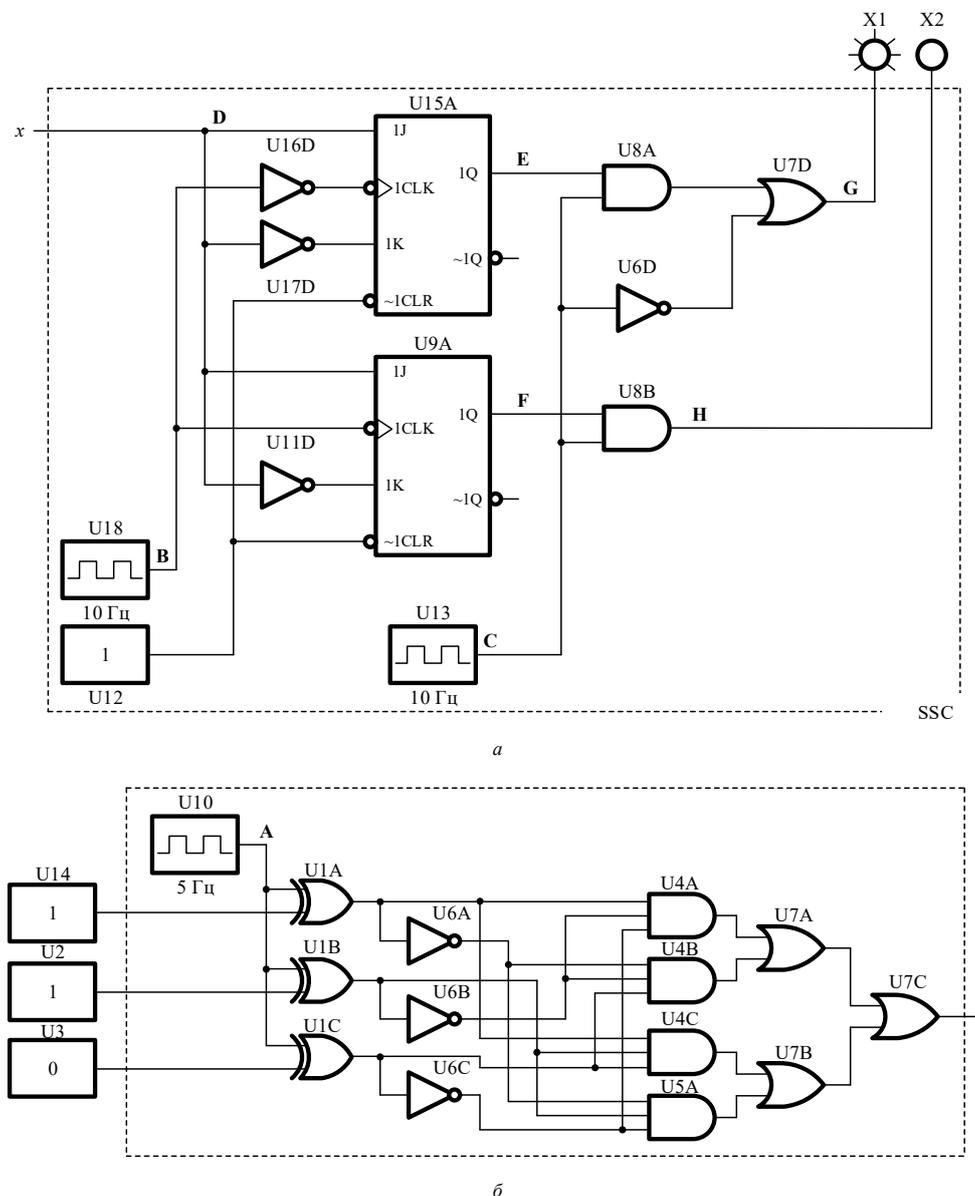


Рис. 8. Схема тестера самодвойственности (а) и контролируемая схема (б)

мой схемы установлены элементы XOR (U1C, U1A, U1B). Один вход этих элементов подключен к соответствующему источнику входного сигнала, а другой — к генератору тактовых импульсов (U10) с частотой импульсов в два раза меньшей, чем у генератора тестера. Как упомянуто выше, генераторы тестера имеют небольшой сдвиг по фазе. Без этого

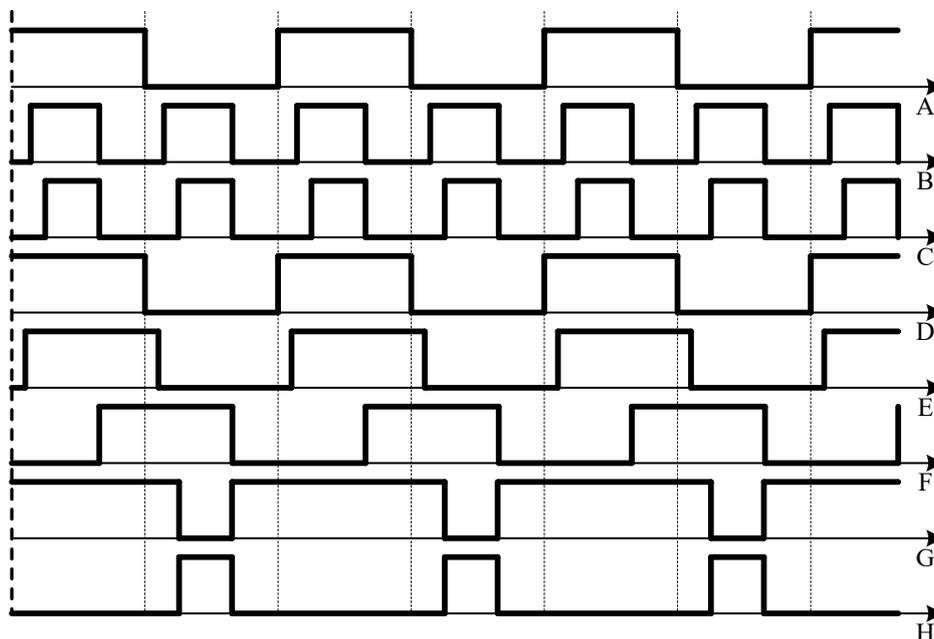


Рис. 9. Временная диаграмма работы схемы

сдвига возникает момент, когда все генераторы переключаются одновременно, в результате чего возникает состязание. Это состязание может приводить к ложному сигналу ошибки на выходе тестера. Таким образом, в момент, когда на выходе генератора U10 сформирован сигнал логического нуля, на входы схемы подаются заданные входные наборы, а когда на выходе генератора установлен сигнал логической единицы, на входы схемы подаются значения, противоположные заданным. Следовательно, если схема является самодвойственной, то на ее выходе генерируется самодвойственный сигнал.

Временная диаграмма работы схемы, показанной на рис. 8, б, приведена на рис. 9, где буквами *A – H* обозначены диаграммы, соответствующие сигналам на проводах на рис. 8, б. В начальный момент времени на выходе генератора *A* появляется сигнал логической единицы, т.е. на входы схемы подается входной набор противоположный установленному. На выходе контролируемой схемы появляется сигнал логической единицы. При этом на выходах тестера появляется парафазный сигнал, так как на выходах генераторов *B* и *C* присутствует сигнал логического нуля. Далее, на выходах генераторов *B* и *C* вместо нуля появляется единица. В этот момент выходной сигнал контролируемой схемы записывается в триггер *F*. На выходах тестера формируется парафазный сигнал, так как на выходах триггеров присутствуют разные сигналы.

Далее, на входах генераторов B и C вместо единицы появляется ноль. В этот момент выходное состояние схемы записывается в триггер F . Оба триггера находятся в одинаковых состояниях, но на выходе тестера остается парафазный сигнал, так как генератор C вырабатывает сигнал логического нуля. Далее, на входы генератора A вместо единицы поступает ноль, т.е. поступают установленные сигналы. В этот момент на выходе схемы (поскольку она является самодвойственной) появляется сигнал, противоположный предыдущему. Спустя небольшой промежуток времени этот сигнал записывается в триггер E , и оба триггера находятся в противоположных состояниях, что приводит к возникновению парафазного сигнала на выходе тестера. При изменении состояния генератора B информация с выхода контролируемой схемы записывается в триггер F , в результате чего триггеры переходят в одинаковые состояния. Но так как на выходе генератора C фиксируется ноль, тестер вырабатывает парафазный сигнал. Затем генератор A переключается в состояние единицы и цикл повторяется.

Таким образом, если контролируемая схема самодвойственная, то ее состояние на выходе будет меняться на противоположное тогда, когда на выходе генератора A поменяется сигнал на противоположный. При появлении на выходе схемы попеременно противоположных сигналов состояние триггеров будет противоположным, когда на выход генератора C поступит единица. В этом случае противоположные сигналы с триггеров транслируются на выходы тестера, и таким образом получаем парафазный сигнал, который также появляется в момент, когда на выходе генератора C появляется сигнал логического нуля. Если схема не самодвойственная, то на выходе сформируется один и тот же сигнал до тех пор, пока установленные входные сигналы не поменяются. В этом случае устанавливаются одинаковые состояния триггеров, и тестер вырабатывает непарафазный сигнал, когда на выходе генератора C появляется сигнал логической единицы.

Следует заметить, что для того чтобы избежать появления ложного сигнала ошибки, необходимо, чтобы генератор $U13$ переходил в состояние нуля раньше или одновременно с генератором $U18$. Для этого был уменьшен коэффициент заполнения генератора $U13$.

При моделировании в блоке $F(x)$ были рассмотрены все одиночные константные неисправности выходов внутренних логических элементов, за исключением элементов выходного каскада. Эти элементы подключены непосредственно к выходам схемы $F(x)$ и их неисправности приводят к одиночным ошибкам, которые обнаруживаются равновесным кодом. Значения выходов неисправной схемы $F(x)$ сравнивались с «эталон-

ными» данными, представленными в табл. 3. Если обнаруживались несоответствия, то фиксировались показания выходов системы ФК. Если система ФК показывала сигнал ошибки, то считалось, что ошибка обнаружена. В ходе моделирования все возникающие на выходах рассматриваемой схемы ошибки были обнаружены.

Для оценки эффективности применения дополнительной проверки на самодвойственность была также смоделирована система ФК только по равновесному коду (в соответствии со структурой, приведенной на рис. 1). В результате моделирования неисправностей выявлено 148 ошибок из 190, что на 22 % меньше, чем при использовании проверки на самодвойственность.

Выводы

Функциональный контроль логических устройств автоматики и управления по двум признакам (принадлежности кодовых слов заранее выбранному коду и самих функций особенному классу функций алгебры логики) позволяет повысить обнаруживающую способность системы диагностирования по сравнению с контролем только по одному какому-либо признаку. Более того, даже если неисправность на каждом конкретном наборе не проявляется при контроле только по выбранному избыточному коду, то самодвойственность каждой конкретной функции тоже может оказаться нарушенной, что улучшает возможность своевременного обнаружения возникшей неисправности.

Результаты исследований показали, что одним из эффективных вариантов организации систем ФК по двум признакам является совместное использование самодвойственного дополнения и контроля по равновесным кодам « r из $2r$ » ($r/2r$ -кодов). Наиболее целесообразным для решения поставленной задачи оказывается использование $2/4$ -кода, тестер которого имеет простую структуру и требует для полной проверки небольшого числа тестовых комбинаций.

Результаты моделирования работы комбинационной схемы с системой ФК при внесении одиночных константных неисправностей на выходах ее внутренних логических элементов подтверждают эффективность контроля по двум признакам. При этом схема контроля получена более простой, чем при дублировании.

Описанный метод синтеза систем ФК является перспективным, а представленные результаты целесообразно учитывать при разработке систем ФК комбинационных логических устройств на современной программируемой элементной базе.

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. *Ubar R., Raik J., Vierhaus H.-T.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference, Hershey. New York, IGI Global, 2011, 578 p.
2. *Дрозд А.В., Харченко В.С., Антощук С.Г. и др.* Рабочее диагностирование безопасных информационно-управляющих систем / Под ред. А.В. Дрозда и В.С. Харченко. Харьков: ХАИ, 2012, 614 с.
3. *Kharchenko V., Kondratenko Yu., Kasprzyk J.* Green IT Engineering: Concepts, Models, Complex Systems Architectures // Springer Book series "Studies in Systems, Decision and Control", Vol. 74, 2017, 305 p.
4. *Lala P.K.* Self-Checking and Fault-Tolerant Digital Design. San Francisco: Morgan Kaufmann Publishers, 2001, 216 p.
5. *Пархоменко П.П., Согомонян Е.С.* Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратурные средства). М.: Энергоатомиздат, 1981, 320 с.
6. *Согомонян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989, 208 с.
7. *Goessel M., Graf S.* Error Detection Circuits. London: McGraw-Hill, 1994, 261 p.
8. *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI — A Compendium of Approaches // Journal of Electronic Testing: Theory and Application, 1998, Vol. 12, Is. 1-2, pp. 7—20. DOI: 10.1023/A:1008244815697.
9. *Mitra S., McCluskey E.J.* Which Concurrent Error Detection Scheme to Choose? // Proc. of International Test Conference, 2000. USA, Atlantic City, NJ, 3-5 October 2000, pp. 985—994. DOI: 10.1109/TEST.2000.894311.
10. *Гаврилов С.В., Тельпухов Д.В., Жукова Т.Д., Гуров С.И.* Использование информационной избыточности при построении сбоеустойчивых комбинационных схем // Таврический вестник информатики и математики, 2018, 2, № 39, с. 29—44.
11. *Беннеттс Р.Дж.* Проектирование тестопригодных логических схем. М.: Радио и связь, 1990, 168 с.
12. *Ryan W.E., Lin S.* Channel Codes: Classical and Modern. Cambridge University Press, 2009, 708 p.
13. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
14. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., Дмитриев В.В.* Новые структуры систем функционального контроля логических схем // Автоматика и телемеханика, 2017, № 2, с. 127—143.
15. *Dong H.* Modified Berger Codes for Detection of Unidirectional Errors // IEEE Transaction on Computers, 1984, Vol. C-33, pp. 572—575.
16. *Piestrak S.J.* Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
17. *Das D., Toubia N.A., Seuring M., Gossel M.* Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes // Proc. of IEEE 6th International On-Line Testing Workshop (IOLTW). Spain, Palma de Mallorca, July 3-5, 2000, pp. 171—176. DOI:10.1109/OLT.2000.856633.
18. *Gallager R.G.* Principles of Digital Communication. UK, Cambridge University Press, 2008, 368 p.
19. *Piestrak S.J., Patronik P.* Design of Fault-Secure Transposed FIR Filters Protected Using Residue Codes // 17th Euromicro Conference on Digital System Design, 27-29 August 2014, Verona, Italy, pp. 575-582. DOI: 10.1109/DSD.2014.110.

20. Тельпухов Д.В., Деменева А.И., Жукова Т.Д., Хрущев Н.С. Исследование и разработка систем автоматизированного проектирования схем функционального контроля комбинационных логических устройств // Электронная техника. Серия 3: Микроэлектроника, 2018, № 1, с. 15—22.
21. *Stempkovskiy A., Telpukhov D., Gurov S. et al.* R-code for Concurrent Error Detection and Correction in the Logic Circuits // 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIcon Rus), 29 January – 1 February 2018, Moscow, Russia, pp. 1430-1433. DOI:10.1109/EIconRus.2018.8317365.
22. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды Хэмминга в системах функционального контроля логических устройств. СПб.: Наука, 2018, 151 с.
23. Яблонский С.В. Введение в дискретную математику: Учеб. пособие для вузов / Под ред. В.А. Садовничева, 4-е изд., стер. М.: «Высшая школа», 2003, 384 с.
24. Сапожников В.В., Сапожников Вл.В., Гессель М. Самодвойственные дискретные устройства. — СПб: Энергоатомиздат (Санкт-Петербургское отделение), 2001, 331 с.
25. Сапожников В.В., Сапожников Вл.В., Валиев Р.Ш. Синтез самодвойственных дискретных систем. СПб: Элмор, 2006, 220 с.
26. *Efanov D., Sapozhnikov V., Sapozhnikov Vl. Et al.* Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proc. of 17th IEEE East-West Design & Test Symposium (EWDTS 2019), Batumi, Georgia, September 13-16, 2019, pp. 136-143. DOI: 10.1109/EWDTS.2019.8884398.
27. Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В. Логическое дополнение — новый метод контроля комбинационных схем // Автоматика и телемеханика, 2003, №1, с. 167—176.
28. *Morozov A., Gössel M., Saposhnikov V., Saposhnikov Vl.* Complementary Circuits for On-Line Detection for 1-out-of-3 Codes // ARCS 2004 – Organic and Pervasive Computing, Workshops Proceedings. March 26, 2004, Augsburg, Germany, pp. 76—83.
29. Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В. Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика, 2005, № 8, с. 161—172.
30. *Sen S.K., Roy S.S.* An Optimized Concurrent Self-Checker Using Constraint-Don't Cares and 1-out-of-4 Code // National Conference (AECDISC-2008) in Asansol Engineering College, held during 1-2 August 2008.
31. *Das D.K., Roy S.S., Dmitiriev A. et al.* Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proc. of the 10th International Workshops on Boolean Problems. Freiberg, Germany, September, 2012, pp. 33—40.
32. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Построение полностью самопроверяемых структур систем функционального контроля с использованием равновесного кода «1 из 3» // Электрон. моделирование, 2016, **38**, № 6, с. 25—43.
33. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., Пивоваров Д.В. Метод логического дополнения на основе равновесного кода «1 из 4» для построения полностью самопроверяемых структур систем функционального контроля // Там же, 2017, **39**, № 2, с. 15—34.
34. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., Пивоваров Д.В. Синтез систем функционального контроля многовыходных комбинационных схем на основе метода логического дополнения // Вестник Томского государственного университета. Управление, вычислительная техника и информатика, 2017, № 4, с. 69—80. DOI: 10.17223/19988605/41/9.

35. Morozov A., Saposhnikov V.V., Saposhnikov V.I., Goessel M. New Self-Checking Circuits by Use of Berger-codes // Proc. of 6th IEEE International On-Line Testing Workshop. Palma De Mallorca, Spain, 3-5 July 2000, pp. 171-176. DOI:10.1109/OLT.2000.856626.
36. Reynolds D.A., Meize G. Fault Detection Capabilities of Alternating Logic // IEEE Transactions on Computers, 1978, Vol. C-27, Is. 12, pp. 1093—1098.
37. Гессель М., Дмитриев А.В., Сапожников В.В., Сапожников Вл.В. Само тестируемая структура для функционального обнаружения отказов в комбинационных схемах // Автоматика и телемеханика, 1999, № 11, с. 162—174.
38. Carter W.C., Duke K.A., Schneider P.R. Self-Checking Error Checker for Two-Rail Coded Data // United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, NY., 10 p.
39. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Основы теории надежности и технической диагностики. Санкт-Петербург: Изд-во «Лань», 2019, 588 с.
40. Сапожников В.В., Сапожников Вл.В. Самопроверяемые тестеры для равновесных кодов // Автоматика и телемеханика, 1992, № 3, с. 3—35.
41. Sapozhnikov V., Sapozhnikov V.I., Efanov D. Concurrent Error Detection of Combinational Circuits by the Method of Boolean Complement on the Base of «2-out-of-4» Code // Proc. of 14th IEEE East-West Design & Test Symposium (EWDTS'2016). Yerevan, Armenia, October 14-17, 2016, pp. 126-133. DOI:10.1109/EWDTS.2016.7807677.
42. Аксенова Г.П. Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 // Автоматика и телемеханика, 1979, № 9, с. 126—135.
43. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Классификация ошибок в информационных векторах систематических кодов // Изв. вузов. Приборостроение, 2015, **58**, № 5, с. 333—343. DOI:10.17586/0021-3454-2015-58-5-333-343.

Поступила 23.07.19

REFERENCES

1. Ubar, R., Raik, J. and Vierhaus, H.T. (2011), Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source), Information Science Reference, IGI Global, Hershey, New York, USA.
2. Drozd, A.V., Kharchenko, V.S. and Antoshchuk, S.G. (2012), *Rabochee diagnostirovanie bezopasnykh informatsionno-upravlyayustchikh sistem* [Objects and Methods of On-Line Testing for Safe Instrumentation and Control Systems], National Aerospace University "KhAI", Kharkov, Ukraine.
3. Kharchenko, V., Kondratenko, Yu., and Kacprzyk, J. (2017), "Green IT Engineering: Concepts, Models, Complex Systems Architectures", *Springer Book series "Studies in Systems, Decision and Control"*, Vol. 74. DOI 10.1007/978-3-319-44162-7.
4. Lala, P.K. (2001), "Self-Checking and Fault-Tolerant Digital Design", San Francisco: Morgan Kaufmann Publishers, USA.
5. Parkhomenko, P.P. and Sogomonyan, E.S. (1981), *Osnovy tekhnicheskoy diagnostiki (optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva)* [Basics of technical diagnostics (optimization of diagnostic algorithms and equipment)], Energoatomizdat, Moscow, USSR.
6. Sogomonyan, E.S. and Slabakov, E.V. (1989), *Samoproverjaemyje ustrojstva i otkazoustojchivyye sistemy* [Self-checking devices and failover systems], Radio & Svjaz', Moscow, USSR.
7. Goessel, M. and Graf, S. (1994), Error Detection Circuits, London: McGraw-Hill, UK.

8. Nicolaidis, M. and Zorian, Y. (1998), "On-Line Testing for VLSI – A Compendium of Approaches", *Journal of Electronic Testing: Theory and Applications*, no. 12, pp. 7-20. DOI: 10.1023/A:1008244815697.
9. Mitra, S. and McCluskey, E.J. (2000), "Which Concurrent Error Detection Scheme to Choose?", *the Proceeding of the International Test Conference*, 2000, USA, Atlantic City, NJ, 03-05 October 2000, pp. 985-994. DOI: 10.1109/TEST.2000.894311.
10. Gavrilov, S.V., Tel'puhov, D.V., Zhukova, T.D. and Gurov, S.I. (2018), "Synthesis of fault-tolerant combination schemes by introducing information redundancy", *Tavrisheskij vestnik informatiki i matematiki*, Vol. 2, Iss. 39, pp. 29-44.
11. Bennetts, R.G. (1990), *Proektirovanie testoprigradnyh logicheskikh skhem* [Design of Testable Logic Circuits], Radio & Svyaz', Moscow, USSR.
12. Ryan, W.E. and Lin, S. (2009), *Channel Codes: Classical and Modern*. Cambridge University Press, UK.
13. Göessel, M., Ocheretny, V., Sogomonyan, E. and Marienfeld, D. (2008), *New Methods of Concurrent Checking: Edition 1*, Springer Science+Business Media B.V.
14. Sapozhnikov, V.V., Sapozhnikov, V.I., Efanov, D.V. and Dmitriev, V.V. (2017), "New structures of the concurrent error detection systems for logic circuits", *Avtomatika i telemekhanika*, no. 2, pp. 127-143.
15. Dong, H. (1984), "Modified Berger Codes for Detection of Unidirectional Errors", *IEEE Transaction on Computers*, Vol. C-33, pp. 572-575.
16. Piestrak, S.J. (1995), *Design of Self-Testing Checkers for Unidirectional Error Detecting Codes*, Oficyna Wydawnicza Politechniki Wroclawskiej.
17. Das, D., Touba, N.A., Seuring, M. and Gossel, M. (2000), "Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes", *the Proceeding of IEEE 6th International On-Line Testing Workshop (IOLTW)*, Spain, Palma de Mallorca, July 3-5, 2000, pp. 171-176. DOI: 10.1109/OLT.2000.856633.
18. Gallager, R.G. (2008), *Principles of Digital Communication*, Cambridge University Press, UK.
19. Piestrak, S.J. and Patronik, P. (2014), "Design of Fault-Secure Transposed FIR Filters Protected Using Residue Codes", *the Proceeding of the 17th Euromicro Conference on Digital System Design*, 27-29 August 2014, Verona, Italy, pp. 575-582. DOI: 10.1109/DSD.2014.110.
20. Tel'puhov, D.V., Demeneva, A.I., Zhukova, T.D. and Hrushchev, N.S. (2018), "The Research and Development of Automation Systems for the Concurrent Error Detection Combinational Circuits", *Elektronnaya tekhnika. Seriya 3: Mikroelektronika*, Iss. 1, pp. 15-22.
21. Stempkovskiy, A., Telpukhov, D. and Gurov, S. (2018), "R-code for concurrent error detection and correction in the logic circuits", *the Proceeding of the 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*, 29 January – 1 February 2018, Moscow, Russia, pp. 1430-1433. DOI:10.1109/EIConRus.2018.8317365.
22. Sapozhnikov, V.V., Sapozhnikov, V.I. and Efanov, D.V. (2018), *Kody Hemminga v sistemah funkcional'nogo kontrolya logicheskikh ustrojstv* [Hamming codes in concurrent error detection systems of logic devices], Nauka, St. Petersburg, Russia.
23. Yablonskij, S.V. (2003), *Vvedenie v diskretnuyu matematiku: Ucheb. posobie dlya vuzov* [Introduction to Discrete Mathematics: Textbook], «Vysshaya shkola», Moscow, Russia.
24. Sapozhnikov, V.V., Sapozhnikov, V.I. and Gossel, M. (2001), *Samodvoystvennye diskretnye ustrojstva* [Self-Dual Discrete Devices], Energoatomizdat, St. Petersburg, Russia.
25. Sapozhnikov, V.V., Sapozhnikov, V.I. and Valiev, R.Sh. (2006), *Sintez samodvoystvennykh diskretnykh sistem* [Synthesis of Self-Dual Discrete Systems], Elmor, St. Petersburg, Russia.

26. Efanov, D., Sapozhnikov, V. and Sapozhnikov, Vl. (2019), "Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems", *the Proceeding of the 17th IEEE East-West Design & Test Symposium (EWDTS'2019)*, Batumi. Georgia, September 13-16, 2019.
27. Goessel, M., Morozov, A.V., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (2003), "Logic Complement, a New Method of Checking the Combinational Circuits", *Avtomatika i telemekhanika*, no. 1, pp. 167-176.
28. Morozov, A., Gössel, M., Saposhnikov, V. and Saposhnikov, Vl. (2004), "Complementary Circuits for On-Line Detection for 1-out-of-3 Codes", *ARCS 2004 – Organic and Pervasive Computing, Workshops Proceedings*, March 26, 2004, Augsburg, Germany, pp. 76-83.
29. Goessel, M., Morozov, A.V., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (2005), "Checking Combinational Circuits by the Method of Logic Complement", *Avtomatika i telemekhanika*, no. 8, pp. 161-172.
30. Sen, S.K. and Roy, S.S. (2008), "An Optimized Concurrent Self-Checker Using Constraint-Don't Cares and 1-out-of-4 Code", *National Conference (AECDISC-2008) in Asansol Engineering College, held during 1-2 August 2008*.
31. Das, D.K., Roy, S.S. and Dmitriev, A. (2012), "Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes", *the Proceeding of the 10th International Workshops on Boolean Problems*, Freiberg, Germany, September, 2012, pp. 33-40.
32. Sapozhnikov, V., Sapozhnikov, Vl. and Efanov, D. (2016), "Formation of Totally Self-Checking Structures of Concurrent Error Detection Systems With Use of Constant-Weight Code "1-out-of-3", *Elektronnoe modelirovanie*, Vol. 38, no. 6, pp. 25-43.
33. Sapozhnikov, V.V., Sapozhnikov, Vl.V., Efanov, D.V. and Pivovarov, D.V. (2017), "Boolean Complement Method Based on Constant-Weight Code "1-out-of-4" for Formation of Totally Self-Checking Concurrent Error Detection Systems", *Elektronnoe modelirovanie*, Vol. 39, Iss. 2, pp. 15-34.
34. Sapozhnikov, V.V., Sapozhnikov, Vl.V., Efanov, D.V. and Pivovarov, D.V. (2017), "Synthesis of Concurrent Error Detection Systems of Multioutput Combinational Circuits Based on Boolean Complement Method", *Vestnik Tomskogo gosudarstvennogo universiteta. Upravlenie, vychislitel'naya tekhnika i informatika*, Iss. 4, pp. 69-80. DOI: 10.17223/19988605/41/9.
35. Morozov, A., Saposhnikov, V.V., Saposhnikov, Vl.V. and Goessel, M. (2000), "New Self-Checking Circuits by Use of Berger-codes", *the Proceedings of the 6th IEEE International On-line Testing Workshop*, 3-5 July 2000, Palma de Mallorca, Spain, pp. 171-176.
36. Reynolds, D.A. and Meize, G. (1978), "Fault Detection Capabilities of Alternating Logic", *IEEE Transactions on Computers*, Vol. C-27, Iss. 12, pp. 1093-1098.
37. Gessel', M., Dmitriev, A.V., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (1999), "A Functional Fault-Detection Self-Test for Combinational Circuits", *Avtomatika i telemekhanika*, Iss. 11, pp. 162-174.
38. Carter, W.C., Duke, K.A. and Schneider, P.R. (1968), "Self-Checking Error Checker for Two-Rail Coded Data", *United States Patent Office*, no. 747533, New York, USA.
39. Sapozhnikov, V.V., Sapozhnikov, Vl.V. and Efanov, D.V. (2019), *Osnovy teorii nadezhnosti i tekhnicheskoy diagnostiki* [Fundamentals of the Theory of Reliability and Technical Diagnostics], Izd-vo «Lan'», St.Petersburg, Russia.

40. Sapozhnikov, V.V. and Sapozhnikov, VI.V. (1992), "Self-Checking Constant-Weight Codes Checkers", *Avtomatika i telemekhanika*, no. 3, pp. 3-35.
41. Sapozhnikov, V., Sapozhnikov, VI. and Efanov, D. (2016), "Concurrent Error Detection of Combinational Circuits by the Method of Boolean Complement on the Base of «2-out-of-4» Code", *the Proceeding of 14th IEEE East-West Design & Test Symposium (EWDTS'2016)*, Yerevan, Armenia, October 14-17, 2016, pp. 126-133. DOI:10.1109/EWDTS.2016.7807677.
42. Aksjonova, G.P. (1979), "Necessary and sufficient conditions for the design of totally checking circuits of compression by modulo 2", *Avtomatika i Telemekhanika*, no. 9, pp. 126-135.
43. Sapozhnikov, V.V., Sapozhnikov, VI.V. and Efanov, D.V. (2015), "Errors Classification in Information Vectors of Systematic Codes", *Izvestiya Vysshikh Uchebnykh Zavedeniy. Priboroostroenie*, Vol. 58, no. 5, pp. 333-343. DOI 10.17586/0021-3454-2015-58-5-333-343.

Received 23.07.19

Д.В. Ефанов, В.В. Сапожников, Вол.В. Сапожников, Д.В. Пивоваров

МЕТОД ФУНКЦІОНАЛЬНОГО КОНТРОЛЮ КОМБІНАЦІЙНИХ ЛОГІЧНИХ ПРИСТРОЇВ НА ОСНОВІ САМОДВОЇСТОГО ДОПОВНЕННЯ ДО РІВНОВАЖНИХ КОДІВ

Запропоновано метод організації систем функціонального контролю (ФК), в якому поєднано контроль за належністю кодових слів, що формуються, заздалегідь обраному рівноважному коду і контроль за належністю кожної функції класу самодвоїстих функцій. Такий спосіб організації систем ФК дозволяє підвищити викривальну здатність у порівнянні з контролем за методом логічного доповнення до рівноважних кодів або до самодвоїстих функцій. Показано, що при організації контролю комбінаційних логічних пристроїв із застосуванням розробленого методу можна використовувати тільки рівноважні коди з однаковою кількістю одиничних та нульових розрядів, тобто коди « r із $2r$ », де r — вага кодового слова. Приоритет при організації системи ФК надано рівноважному коду «2 із 4». Розроблено алгоритми синтезу систем ФК, структури яких є повністю самоперевіряємими відносно одиничних константних несправностей виходів внутрішніх логічних елементів. Результати моделювання роботи системи ФК на прикладі довільного комбінаційного логічного пристрою засвідчили високу ефективність розробленого методу.

К л ю ч о в і с л о в а: комбінаційний логічний пристрій, система функціонального контролю, контроль технічного стану, виявлення несправностей, самодвоїсте доповнення, рівноважні коди, код «2 із 4».

D.V. Efanov, V.V. Sapozhnikov, VI.V. Sapozhnikov, D.V. Pivovarov

THE METHOD OF THE CONCURRENT ERROR-DETECTION OF COMBINATIONAL LOGIC DEVICES BASED ON THE SELF-DUAL COMPLEMENT TO CONSTANT-WEIGHT CODE

The article proposes a method of the organization of concurrent error-detection (CED) systems, which combines the checkout of the generated code words belonging to the pre-selected constant-weight code and the checkout of each function belonging to the class of self-dual functions. The described method of the CED systems organization allows to increase the detec-

tion ability in comparison with the checkout by the method of Boolean complement to the constant-weight codes or to the self-dual functions. The article shows that only constant-weight codes with the same number of zero and ones bits (the so-called « r -out-of- $2r$ » codes, where r is the weight of the code word) can be used in the organization of the combinational logic devices control according to the developed method. The priority in the CED systems organization is given to the constant-weight «2-out-of-4» code. The article develops algorithms for the synthesis of CED systems, the structures of which are completely self-checking in relation to the single stuck-at faults of the outputs of the internal logic elements. The simulation results of the CED system operation on the example of a random combinational logic device showed the high efficiency of the developed method.

К е у в о р д s: combinational logic device, concurrent error-detection system, technical state control, fault detection, self-dual complement, constant-weight codes, «2-out-of-4» code.

ЕФАНОВ Дмитрий Викторович, д-р техн. наук, доцент, профессор кафедры «Автоматика, телемеханика и связь на железнодорожном транспорте» Российского университета транспорта, руководитель направления комплексных систем управления ООО «ЛокоТех-Сигнал». Окончил Петербургский государственный университет путей сообщения в 2007 г. Область научных исследований — дискретная математика, надежность и техническая диагностика дискретных систем.

САПОЖНИКОВ Валерий Владимирович, д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. Окончил Ленинградский институт инженеров железнодорожного транспорта в 1963 г. Область научных исследований — надежность и синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.

САПОЖНИКОВ Владимир Владимирович, д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. Окончил Ленинградский институт инженеров железнодорожного транспорта в 1963 г. Область научных исследований — надежность и синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.

ПИВОВАРОВ Дмитрий Вячеславович, аспирант кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I, который окончил в 2016 г. Область научных исследований — техническая диагностика дискретных систем, математическое моделирование.