

**ПЕРСПЕКТИВЫ В ИСПОЛЬЗОВАНИИ ПОРАЗЯДНОЙ КОНВЕЙЕРНОЙ ОБРАБОТКИ В КОМПОНЕНТАХ СИСТЕМ КРИТИЧЕСКОГО ПРИМЕНЕНИЯ****В. В. Никул, А. В. Дрозд, Ю. В. Дрозд, Ю. Ю. Сулима***Одесский национальный политехнический университет*

**Аннотация.** Системы критического применения являются развитием компьютерных систем на уровне диверсификации ресурсов, что в условиях отставания в проектировании цифровых компонентов создает проблему скрытых неисправностей. Приведены результаты экспериментов, сравнивающих на примере умножителей в производительности и энергопотреблении поразрядные конвейеры, решающие проблему, с традиционными матричными схемами, взятыми из библиотеки САПР.

**Ключевые слова:** система критического применения, цифровой компонент, скрытая неисправность, матричная структура, поразрядный конвейер, проектирование.

**Введение**

Объекты повышенного риска – электростанции, энергосети, скоростной транспорт и т.д. – уже стали нашим естественным окружением. Мы все находимся в зоне их досягаемости, зоне риска. Риск оценивают произведением вероятности инцидента на стоимость его последствий. Второй сомножитель объективно растет под натиском постоянно повышающейся сложности, мощности и численности этих объектов. Поэтому сдерживание повышенных рисков сосредотачивается в решении проблем снижения первого сомножителя. Противовесом объектам повышенного риска стали информационные технологии, имплементированные в системы критического применения, направленные на обеспечение функциональной безопасности системы и объекта для предотвращения аварий и снижения потерь от их последствий в случае, если предотвратить аварию не представляется возможным [1, 2].

Следует отметить, что системы критического применения являются не просто разновидностью компьютерных систем, а следующим шагом в их развитии, которое проявилось в диверсификации рабочего режима его разделением на нормальный и аварийный. Это повлекло за собой целый ряд качественных изменений. Вслед произошла диверсификация контролепригодности цифровых схем, которая для рабочего режима является структурно-функциональной, т.е., в отличие от тестопригодности, зависит не только от структуры схемы, но и от входных данных. Контролепригодность цифровых схем стала двухрежимной, т.е. различной для нормального и аварийного режимов, поскольку в этих режимах на входы схем, как правило, приходят различные входные данные [3, 4].

© Никул В. В., Дрозд А. В., Дрозд Ю. В., Сулима Ю. Ю., 2018

Двухрежимная структурно-функциональная контролепригодность схем цифровых компонентов в составе систем критического применения создает условия для проблемы скрытых неисправностей, которые могут накапливаться в течение продолжительного нормального режима в отсутствии проявляющих их входных данных. В наиболее ответственном аварийном режиме, на других входных данных, накопленные неисправности проявляются в снижении отказоустойчивости схемотехнических решений, на которой основывается функциональная безопасность систем критического применения [5].

О проблеме скрытых неисправностей известно по неудачным попыткам решать данную проблему с использованием имитационных режимов, воссоздающих аварийные условия, что может требовать отключения аварийных защит. Это неоднократно приводило к аварийным последствиям, включая Чернобыльскую катастрофу как результат отключения аварийных защит [6]. Использование опасных имитационных режимов указывает на недоверие, выказываемое по отношению к отказоустойчивым решениям.

Необходимо отметить, что проблема скрытых неисправностей характерна только для систем критического применения как работающих более, чем в одном режиме. В однорежимных системах этой проблемы нет, т.к. скрытая неисправность является таковой на протяжении всего рабочего режима. Важным условием накопления скрытых неисправностей является также низкая контролепригодность схем в нормальном режиме. Эта особенность обусловлена, прежде всего, построением цифровых схем с использованием матричных структур [7]. Такие схемы стали традиционными для компьютерных систем в целом и были унаследованы цифровыми компонентами в системах критического применения без учета

их особенностей, включая свойственную только им проблему скрытых неисправностей.

Поэтому естественным решением проблемы скрытых неисправностей является сокращение матричных структур путем перехода на следующий уровень развития ресурсов – диверсификацию, которая на схемном уровне поддерживается конвейеризацией вычислений [8, 9].

Современные компьютерные системы строятся конвейерными, но участками конвейера являются одноклеточные матричные устройства, содержащие большое количество операционных элементов, значительная часть которых соединена последовательно. В  $n$ -разрядном матричном умножителе насчитывается  $n^2$  операционных элементов, из которых  $2n - 2$  соединены последовательно, т.е. каждый операционный элемент работает в такте только  $(2n - 2)^{-1}$ -ю часть такта. Для  $n = 64$  это составляет 0,8% [7].

Сокращение матричных структур участков конвейера до одного операционного элемента, преобразует традиционную конвейерную систему в поразрядный конвейер, который обрабатывает входные данные в последовательных кодах, не оставляя места для скрытых неисправностей.

Доминирование матричных структур на протяжении последних десятилетий мобилизовало все наработки по проектированию цифровых компонентов именно в этом направлении. Создана мощная инфраструктура, которая поддерживает проектирование цифровых схем с использованием матричных структур и противодействует развитию альтернативных технологий. Самым убедительным аргументом в пользу матричных структур являются ориентированные на них современные САПР, располагающие обширными библиотеками матричных узлов.

Вместе с тем, развитие компьютерных систем до уровня критических приложений обязывает подтягивать до этого уровня все обеспечивающие технологии. Но в переходном процессе альтернативные решения испытываются в условиях традиционной инфраструктуры. Поэтому важно оценить эффективность поразрядных конвейеров, проектируемых на современных САПР.

Данная статья проводит сравнение поразрядных конвейеров с матричными структурами в сложности схем, производительности и энергопотреблении на примере умножителей двоичных кодов, реализованных на FPGA (Field Programmable Gate Array) с использованием САПР AL-TERA Quartus II.

### 1. Результаты экспериментов

Поразрядный конвейер, выполняющий умножение  $n$ -разрядных двоичных кодов за  $2n$

тактов сравнивается с библиотечным матричным умножителем для разрядности  $n$ , принимающей значения 8, 16, 24 и 32 [10]. Их схемы имплементированы в FPGA Altera Cyclone II EP2C35F672C6 family с использованием САПР Altera Quartus II v13 64 b [11].

Результаты проводимых экспериментов позволяют оценить сложность схем, время такта, соответствующего максимально возможной тактовой частоте, и потребляемую мощность. Сложность схем определяется в результате проектирования по количеству использованных логических элементов. Время такта и потребляемая мощность измеряются при помощи утилит «TimeQuest Timing Analyzer» и «Power Play», соответственно [12, 13].

Сложность поразрядных конвейерных и матричных умножителей приведена в табл. 1

Таблица 1

Сложность умножителей

Разрядность сомножителей	Поразрядный конвейер	Матричный умножитель
8	39	101
16	78	343
24	126	723
32	160	1209

Табл. 1 показывает линейный и квадратичный характер зависимости сложности соответственно поразрядных конвейерных и матричных умножителей от разрядности  $n$  сомножителей.

Эффективность поразрядных конвейерных умножителей целесообразно оценивать при равной сложности схем сравниваемых устройств. Поэтому матричному умножителю противопоставляется близкая по сложности схема, объединяющая несколько поразрядных конвейерных умножителей. В табл. 2 показана сложность объединенной схемы и количество  $k$  поместившихся в ней поразрядных конвейеров.

Таблица 2

Показатели объединенной схемы

Разрядность $n$	Сложность	Количество $k$
8	98	3
16	325	5
24	697	7
32	1179	11

В табл. 3 приведено время в наносекундах такта работы поразрядных конвейерных и матричных умножителей на максимальной частоте.

Табл. 3 показывает постоянное значение времени такта для поразрядного конвейерного умножителя и большее время такта, увеличивающееся с ростом разрядности  $n$ , в случае матричного умножителя.

Таблиця 3  
Время такта умножителей

Разрядность сомножителей	Поразрядный конвейер	Матричный умножитель
8	2,38	6,43
16	2,38	9,33
24	2,38	13,00
32	2,38	15,55

Однако можно было ожидать значительно большей разницы во времени такта с учетом длинной цепочки из  $2n - 2$  последовательно соединенных операционных элементов матричного умножителя. Многократное уменьшение времени такта матричного умножителя объясняется ускоренным распространением переноса при сложении конъюнкций матрицы произведения. Логический элемент используется в арифметическом режиме с заготовкой значений суммы и переноса полного сумматора по методу условного переноса, а также путей их распространения. В поразрядном конвейере такт в основном определяется задержкой регистра, которая превосходит задержку операционного элемента. Таким образом, по временным параметрам САПР создает значительно более предпочтительные условия для проектирования матричных структур.

В табл. 4 показаны значения мощности, потребляемой сравниваемыми устройствами одинаковой сложности.

Таблиця 4  
Потребляемая мощность умножителей

Разрядность сомножителей	Объединенная схема	Матричный умножитель
8	153,64	134,72
16	182,23	143,34
24	218,24	149,39
32	271,03	155,66

Потребляемая мощность измеряется в милливаттах и включает статические и динамические составляющие ядра и системы ввода-вывода FPGA проектов. Объединенная схема поразрядных конвейеров потребляет большую мощность по сравнению с матричным умножителем вследствие работы на более высокой частоте, что повышает мощность в ее динамических составляющих.

## 2. Оценка производительности и энергопотребления сравниваемых решений

### 2.1. Производительность поразрядных конвейерных и матричных умножителей

Производительность схемных решений оценивается количеством операций умножения, выполняемых за секунду. Для объединенной схемы по-

разрядных конвейеров производительность вычисляется с учетом времени  $\tau_k$  такта, выраженного в секундах, количества  $2n$  тактов выполнения операции и количества  $k$  конвейеров схемы по формуле  $P_k = k / (2n \tau_k)$ . Производительность матричного умножителя оценивается величиной, обратной к времени такта, выраженного в секундах.

Значения производительности для сравниваемых схем приведены в табл. 5.

Таблиця 5  
Производительность умножителей

Разрядность сомножителей	Объединенная схема	Матричный умножитель
8	$78,8 \cdot 10^6$	$155,5 \cdot 10^6$
16	$65,7 \cdot 10^6$	$107,2 \cdot 10^6$
24	$61,3 \cdot 10^6$	$76,9 \cdot 10^6$
32	$72,2 \cdot 10^6$	$64,1 \cdot 10^6$

Табл. 5 показывает изменение производительности сравниваемых схем с увеличением разрядности сомножителей. Производительность матричного умножителя снижается. Объединенная схема поразрядных конвейеров сначала снижает производительность, а начиная с разрядности 32, повышает ее и превосходит в этом показателе матричный умножитель. Такое изменение производительности объясняется ускоренным ростом количества конвейеров в объединенной схеме в связи с растущей разницей между матричным и поразрядным умножителем в их сложности.

### 2.2. Энергопотребление поразрядных конвейерных и матричных умножителей

Энергопотребление сравниваемых умножителей оценивается в течение времени выполнения одной операции. Для объединенной схемы поразрядных конвейеров энергопотребление вычисляется с учетом количества  $k$  конвейеров в схеме, потребляемой мощности  $N$ , времени  $\tau_k$  такта и количества  $2n$  тактов выполнения операции по формуле  $P_k = N 2n \tau_k / k$ . Энергопотребление матричного умножителя оценивается произведением мощности на время такта.

Значения энергопотребления, измеряемого произведением милливатт на наносекунды, для сравниваемых схем приведены в табл. 6.

Таблиця 6  
Энергопотребление умножителей

Разрядность сомножителей	Объединенная схема	Матричный умножитель
8	1950	866
16	2776	1337
24	3562	1942
32	3753	2421

Табл. 6 показываєт рoст енергoпoтpeблeння сpавнивaeмыx cхeм c увeличeннeм рязряднoстeи cмoжнoжитeлeй. Энeргoпoтpeблeннe пoрязрядныx умнoжитeлeй вышe мaтpичнoгo в 1,5 – 2 рaзa.

Эффeктивнoст ь пoрязрядныx кoнвeйeрoв oтнoсительнo мaтpичныx рeшeний мoжнo oцeнить oтнoшeниeм их пoкaзaтeлeй в пpoизвoдительнoстeи и oбpaтнoм oтнoшeниeм в энeргoпoтpeблeнии. С рoстoм рязряднoстeи cмoжнoжитeлeй oт 8 дo 32 эффeктивнoст ь кoнвeйeрнoгo рeшeния в пpoизвoдительнoстeи и энeргoпoтpeблeнии пoвышaeтcя c 0,51 дo 1,13 и c 0,44 дo 0,65, сooтвeтствeннo.

Фoрмулы для oцeнки пpoизвoдительнoстeи и энeргoпoтpeблeння пoрязрядныx кoнвeйeрoв пoкaзывaют вoзмoжнoст ь их oднoвpeмeннoгo улyщeния пyтeм умeньшeния кoличeствa тaктoв выпoлнeния oпeрaции. Мeтoд умнoжeния пo 2 битa в тaктe пoрязряднoгo кoнвeйeрa пoзвoляeт умeньшeть кoличeствo тaктoв выпoлнeния oпeрaции c  $2n$  дo  $n$ .

Для  $n = 8$  мaтpичный умнoжитeль эквивaлeнтeн пo слoжнoстeи двyм тaким кoнвeйeрaм, кoтoрыe сoхpaняют вpeмя тaктa  $\tau_k = 2,38$  нc и вмeстe пoкaзывaют пpoизвoдительнoст ь  $105 \cdot 10^6$ , пoвышaeя эффeктивнoст ь в этoм пoкaзaтeлe c 0,51 дo 0,68, т.е. нa 33%.

Схeмa, oбъeдиняющaя 2 кoнвeйeрa, пoтpeблeяeт мoщнoст ь 165,3 мBт, кoтoрaя oпpeдeляeт энeргoпoтpeблeннe 1571 мBт · нc при выпoлнeнии oднoй oпeрaции умнoжeния и пoвышaeт эффeктивнoст ь пo этoмy пoкaзaтeлю c 0,44 дo 0,55, т.е. нa 25%.

### 3. Зaключeниe

Систeмы критичeскoгo пpимeнeния являютcя слeдующeй ступeнью в рaзвeнии кoмпьютeрныx систeм, чтo тpeбyeт пoдтягивaния нa этoт yрoвeнь oбeспeчивaющыx их рeсyрсoв. Пo рaзбeнeнию рaбoчeгo рeжимa нa нoрмaльный и aвaрийный, oбpaзoвaнию двyxрeжимнoй стpуктyрнo-фyнкциoнaльнoй кoнтpoлeпpигoднoстeи и нoвoгo клaссa нeиспpавнoстeй – скpытыx в нoрмaльнoм рeжимe и oпaсных в aвaрийнoм, систeмы критичeскoгo пpимeнeния пoднялись в рaзвeнии рeсyрсoв нa yрoвeнь дивeрсификaции. Вмeстe с тeм, пpoeктирoвaниe схeм цифрoвыx кoмпoнeнтoв oстaлoсь нa yрoвнe испoльзoвaния мaтpичныx стpуктyр, т.е. рeпликaции. Oтстaвaниe в рaзвeнии рeсyрсoв пpoeктирoвaния чрeвaтo пpоблeмoй скpытыx нeиспpавнoстeй.

Этa пpоблeмa мoжeт быть рeшeнa пeрeхoдoм oт вычислeний нa бaзe мaтpичныx стpуктyр к пoрязряднoй кoнвeйeризaции, oтpажaющyй yрoвeнь дивeрсификaции. Oднaкo пpoeдeнныe экcпeримeнтy пoкaзaли, чтo в зoнe oтстaвaния

нaхoдятcя тaкжe САПР, oриeнтирoвaнныe нa пpoeктирoвaниe цифрoвыx схeм c испoльзoвaниeм мaтpичныx стpуктyр. В этыx yслoвияx пoрязрядныe кoнвeйeры пpoигpывaют мaтpичным рeшeниям в пpoизвoдительнoстeи и энeргoпoтpeблeнии, сoкpaщaeя пpoигpыш c рoстoм рязряднoстeи cмoжнoжитeлeй.

Пpeдлoжeнный мeтoд умнoжeния, выпoлняющyй oбpaбoткy cмoжнoжитeлeй пo 2 рязрядa в тaктe кoнвeйeрa, являeтcя нeкoтoрoй yстyпкoй САПР в зoнe oтстaвaния. Пpи этoм мeтoд дeмoнстpиpyeт пoвышeниe эффeктивнoстeи нa 33% в пpoизвoдительнoстeи и 25% в энeргoпoтpeблeнии yжe пpи рязряднoстeи 8.

### Списoк испoльзoвaннoй литeрaтyры

1. Kharchenko, V. Green Computing and Communications in Critical Application Domains: Challenges and Solutions [Text] / V. Kharchenko, A. Gorbenko, V. Sklyar, C. Phillips // Proceedings of the 9th International Conference on Digital Technologies 2013, Zhilina, Slovak Republic, 2013, pp. 191–197.

2. IEC 61508-1:2010. Functional safety of electrical / electronic / programmable electronic safety related systems – Part 1: General requirements [Text]. – Geneva: International Electrotechnical Commission, 2010.

3. Kharchenko, V. S. FPGA-based NPP I&C Systems: Development and Safety Assessment [Text] / V. S. Kharchenko [et al.]: V. S. Kharchenko, V. V. Sklyar (edits). – Kharkiv. RPC Radiy, National Aerospace University “KhAI”, SSTC on Nuclear and Radiation Safety, 2008. – 188 p.

4. Drozd, A. Checkability of the digital components in safety-critical systems: problems and solutions [Text] / A. Drozd, V. Kharchenko, S. Antoshchuk, J. Sulima, M. Drozd // IEEE East-West Design & Test Symposium, P. 411–416. Sevastopol, Ukraine (2011), DOI: 10.1109/EWDTS.2011.6116606

5. Drozd, M. Safety-Related Instrumentation and Control Systems and a Problem of the Hidden Faults [Text] / M. Drozd, A. Drozd // Digital Technologies: Proceedings of the 10<sup>th</sup> International Conference, Zhilina, Slovak Republic, 9 – 11 July 2014. – P. 137–140, DOI: 10.1109/DT.2014.6868692

6. Department of Energy, DOE Guideline Root Cause Analysis Guidance Document, Office of Nuclear Energy and Office of Nuclear Safety Policy and Standards, Department of Energy, Washington DC, USA, 1992. [Electronic Resource]. – Access Mode : <http://tis.eh.doe.gov/techstds/standard/nst1004/nst1004.pdf>

7. Drozd, J. Effectiveness of Matrix and Pipeline FPGA-Based Arithmetic Components of Safety-Related Systems [Text] / J. Drozd, A. Drozd,

S. Antoshchuk, A. Kushnerov, V. Nikul // *Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications: Proceedings of 8th IEEE International Conference*, Warsaw, Poland, 2015. – P. 785–789, DOI: 10.1109/IDAACS.2015.7341410

8. Drozd, J. Models, methods and means as resources for solving challenges in co-design and testing of computer systems and their components [Text] / J. Drozd, A. Drozd // *Digital Technologies: Proceedings of 10<sup>th</sup> International Conference*, Zhilina, Slovak Republic, 2013. – P. 176–180, DOI: 10.1109/DT.2013.6566307

9. Drozd, J. Green IT engineering in the view of resource-based approach [Text] / J. Drozd, A. Drozd, S. Antoshchuk // In book: *Green IT Engineering: Concepts, Models, Complex Systems Architectures, Studies in Systems, Decision and Control*, V. Kharchenko, Y. Kondratenko, J. Kacprzyk (Eds.), Vol. 74. Berlin, Heidelberg: Springer International Publishing, 2017. – P. 43–65, DOI: 10.1007/978-3-319-44162-7\_3

10. Intel FPGA Integer Arithmetic IP Cores User Guide. UG-01063, 17.1 [Text]. – Intel, 2017.

11. Cyclone II Architecture. Cyclone II Device Handbook Version 3.1. – Altera Corporation, 2007. [Electronic Resource]. – Access Mode : [http://www.altera.com/literature/hb/cyc2/cyc2\\_cii51002.pdf](http://www.altera.com/literature/hb/cyc2/cyc2_cii51002.pdf)

12. Using TimeQuest Timing Analyzer. Altera Corporation – University Program, 2013. [Electronic Resource]. – Access Mode : [ftp://ftp.altera.com/up/pub/Intel\\_Material/13.0/Tutorials/Timequest.pdf](ftp://ftp.altera.com/up/pub/Intel_Material/13.0/Tutorials/Timequest.pdf)

13. PowerPlay Power Analysis. Quartus II Handbook Version 13.1.0. – Altera Corporation, 2013. [Electronic Resource]. – Access Mode : [http://www.altera.com/literature/hb/qts/qts\\_qii53013.pdf](http://www.altera.com/literature/hb/qts/qts_qii53013.pdf)

## References

1. Kharchenko, V., Gorbenko, A., Sklyar, V., Phillips, C. (2013). Green Computing and Communications in Critical Application Domains: Challenges and Solutions. *Proceedings of the 9th International Conference on Digital Technologies*, Zhilina, Slovak Republic, pp. 191–197.

2. IEC 61508-1:2010. Functional safety of electrical / electronic / programmable electronic safety related systems – Part 1: General requirements. – Geneva: International Electrotechnical Commission, 2010.

3. Kharchenko, V. S., Sklyar, V. V. (2008). FPGA-based NPP I&C Systems: Development and Safety Assessment. *RPC Radiy*, NAU “KhAI” Publ., SSTC on Nuclear and Radiation Safety, p.188.

4. Drozd, A., Kharchenko, V., Antoshchuk, S., Sulima, J., Drozd, M. (2011). Checkability of the

digital components in safety-critical systems: problems and solutions. In: *IEEE East-West Design & Test Symposium*. Sevastopol, Ukraine, pp. 411–416. DOI: 10.1109/EWDTS.2011.6116606

5. Drozd, M., Drozd, A. (2014). Safety-Related Instrumentation and Control Systems and a Problem of the Hidden Faults. *Proceedings of the 10th International Conference on Digital Technologies*. Zhilina, Slovak Republic, pp. 137–140, DOI: 10.1109/DT.2014.6868692

6. Department of Energy, DOE Guideline Root Cause Analysis Guidance Document, Office of Nuclear Energy and Office of Nuclear Safety Policy and Standards, Department of Energy. Washington DC, USA, 1992. Available at: <http://tis.eh.doe.gov/techstds/standard/nst1004/nst1004.pdf>

7. Drozd, J., Drozd, A., Antoshchuk, S., Kushnerov, A., Nikul, V. (2015). Effectiveness of Matrix and Pipeline FPGA-Based Arithmetic Components of Safety-Related Systems. *Proceedings of the 8th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications*. Warsaw, Poland, pp. 785–789, DOI: 10.1109/IDAACS.2015.7341410

8. Drozd, J., Drozd, A. (2013). Models, methods and means as resources for solving challenges in co-design and testing of computer systems and their components. *Proceedings of the Ninth International Conference on Digital Technologies*. Zhilina, Slovak Republic, pp. 176–180, DOI: 10.1109/DT.2013.6566307

9. Drozd, J., Drozd, A., Antoshchuk, S. (2017). Green IT engineering in the view of resource-based approach. In book: *Green IT Engineering: Concepts, Models, Complex Systems Architectures, Studies in Systems, Decision and Control*. V. Kharchenko, Y. Kondratenko, J. Kacprzyk (Eds.). Berlin, Heidelberg: Springer International Publishing. Volume 74, pp. 43–65. DOI: 10.1007/978-3-319-44162-7\_3

10. Intel FPGA Integer Arithmetic IP Cores User Guide, (2017). UG-01063, 17.1. – Intel.

11. Cyclone II Architecture. Cyclone II Device Handbook Version 3.1. – Altera Corporation, (2007). available at: [http://www.altera.com/literature/hb/cyc2/cyc2\\_cii51002.pdf](http://www.altera.com/literature/hb/cyc2/cyc2_cii51002.pdf)

12. Using TimeQuest Timing Analyzer. Altera Corporation – University Program, (2013). available at: [ftp://ftp.altera.com/up/pub/Intel\\_Material/13.0/Tutorials/Timequest.pdf](ftp://ftp.altera.com/up/pub/Intel_Material/13.0/Tutorials/Timequest.pdf)

13. PowerPlay Power Analysis. Quartus II Handbook Version 13.1.0.—Altera Corporation, (2013). available at: [http://www.altera.com/literature/hb/qts/qts\\_qii53013.pdf](http://www.altera.com/literature/hb/qts/qts_qii53013.pdf)

## PERSPECTIVES IN THE USE OF BITWISE PIPELINING IN THE COMPONENTS OF SAFETY-RELATED SYSTEMS

V. V. Nikul, A. V. Drozd, J. V. Drozd, J. J. Sulima

*Odessa National Polytechnic University*

**Abstract.** *The safety-related systems are development of the computer systems at the level of diversification of resources with division of an operating mode on normal and emergency. Designing of the digital components lags behind in development the system level as is based on the use of traditional array structures which correspond in development of resources to the bottom level – replication. Array structures reduce a checkability of the digital circuits in a normal mode and create a problem of the hidden faults which can be accumulated throughout a continuous normal mode and reduce fault tolerance and the functional safety of system and its components in the most responsible emergency mode. Changeover of array structures by bitwise pipelines which correspond in development of resources to diversification level allow to solve a problem of the hidden faults. However Computer-Aided Design also shows lag in development of resources as is oriented in designing of the digital circuits on support of the array structures. Results of experiments which compare the array structures and bitwise pipelines implemented in field programmable gate array by means of the Computer-Aided Design of Altera are offered. Researches of array structures and bitwise pipelines are conducted on the example of multipliers of the binary codes. Comparing of the circuit decisions is performed in throughput in case of identical complexity of the circuits and in energy consumption at the rate of execution of one operation. The received results of comparing show on unequal conditions in designing of the iterative array and bitwise pipeline multipliers. Preference is given to array structures. The method which increases efficiency of bitwise pipeline multipliers by data processing on two bits in a clock cycle is suggested. The efficiency of bitwise pipeline multipliers increases at the same time both in throughput and in energy consumption.*

**Keywords:** *safety-related systems, digital components, hidden fault, array structure, bitwise pipeline, designing.*

## ПЕРСПЕКТИВИ У ВИКОРИСТАННІ ПОРОЗРЯДНОЇ КОНВЕЄРНОЇ ОБРОБКИ В КОМПОНЕНТАХ СИСТЕМ КРИТИЧНОГО ЗАСТОСУВАННЯ

В. В. Нікул, О. В. Дрозд, Ю. В. Дрозд, Ю. Ю. Суліма

*Одеський національний політехнічний університет*

**Анотація.** *Системи критичного застосування є розвитком комп'ютерних систем на рівні диверсифікації ресурсів з розподілом робочого режиму на нормальний та аварійний. Проектування цифрових компонентів відстає в розвитку від рівня системи, оскільки базується на використанні традиційних матричних структур, які відповідають у розвитку ресурсів нижньому рівню – реплікації. Матричні структури знижують контролепридатність схем у нормальному режимі та створюють проблему прихованих несправностей, які можуть накопичуватися протягом тривалого нормального режиму та знижувати відмовостійкість і функціональну безпеку системи та її компонентів у найбільш відповідальному аварійному режимі. Заміна матричних структур на порозрядні конвеєри, що відповідають у розвитку ресурсів рівню диверсифікації, дозволяє вирішувати проблему прихованих несправностей. Однак системи автоматизованого проектування також показують відставання у розвитку ресурсів, оскільки орієнтовані на підтримку матричних структур. Пропонуються результати експериментів, які порівнюють матричні структури та порозрядні конвеєри, що імplementовані в програмовані логічні інтегральні схеми за допомогою системи автоматизованого проектування «Альтера». Дослідження матричних структур та порозрядних конвеєрів здійснюються на прикладі помножувачів двійкових кодів. Порівняння схемних рішень виконується за продуктивністю при однаковій складності схем та за енергоспоживанням у розрахунку на виконання однієї операції. Одержані результати порівняння вказують на неоднакові умови проектування матричних та порозрядних конвеєрних помножувачів. Переваги надаються матричним структурам. Запропоновано метод, що підвищує ефективність порозрядних конвеєрних помножувачів обробкою даних по два розряди у*

такті. Ефективність порозрядних конвеєрних помножувачів підвищується водночас і за продуктивністю, і за енергоспоживанням.

**Ключові слова:** система критичного застосування, цифровий компонент, прихована несправність, матрична структура, порозрядний конвеєр, проектування.

Получено 15.03.2018



**Никул Валерия Владимировна**, магистр, инженер кафедры компьютерных интеллектуальных систем и сетей Одесского национального политехнического университета. Просп. Шевченко, 1, Одесса, Украина, E-mail: leraniku@gmail.com, тел.: (048)705-8330.

**Valeriia Nikul**, Master, engineer at the Department of Computer Intellectual Systems and Networks of Odessa National Polytechnic University, Shevchenko ave., 1, Odessa, Ukraine, E-mail: leraniku@gmail.com, тел.: (048)705-8330

**ORCID ID:** 0000-0002-6838-3066



**Дрозд Александр Валентинович**, доктор технических наук, профессор, профессор кафедры компьютерных интеллектуальных систем и сетей Одесского национального политехнического университета. Просп. Шевченко, 1, Одесса, Украина, E-mail: drozd@ukr.net, тел.: (048)705-8330.

**Alex Drozd**, Dr. of Science, Professor, Professor at the Department of Computer Intellectual Systems and Networks of Odessa National Polytechnic University, Shevchenko ave., 1, Odessa, Ukraine, E-mail: drozd@ukr.net, тел.: (048)705-8330.

**ORCID ID:** 0000-0003-2191-6758



**Дрозд Юлия Владимировна**, кандидат технических наук, доцент, доцент кафедры информационных систем Одесского национального политехнического университета. Просп. Шевченко, 1, Одесса, Украина, E-mail: dea\_lucis@ukr.net, тел.: (048)705-8566.

**Julia Drozd, Ph.D**, Associated Professor, Associated Professor at the Department of Information Systems of Odessa National Polytechnic University, Shevchenko ave., 1, Odessa, Ukraine, E-mail: dea\_lucis@ukr.net, тел.: (048)705-8566.

**ORCID ID:** 0000-0001-5880-7526



**Сулима Юлиан Юрьевич**, кандидат технических наук, заведующий электронно-холодильным отделением Одесского технического колледжа Одесской национальной академии пищевых технологий. Балковская, 54, Одесса, Украина, E-mail: mr\_lemur@ukr.net, тел: (048) 732-6788.

**Julian Sulima, Ph.D**, Head of the Electronic and Refrigeration Department of the Odessa Technical College of the Odessa National Academy of Food Technologies, Balkovskaya st., 54, Odessa, Ukraine, E-mail: mr\_lemur@ukr.net, тел: (048) 732-6788.

**ORCID ID:** 0000-0003-3986-7296