

МОДЕЛЮВАННЯ ТА ОПТИМІЗАЦІЯ СТРУКТУРИ ПОТУЖНОГО ІНТЕГРАЛЬНОГО ІМПУЛЬСНОГО ТРАНЗИСТОРА

Л. М. Смеркло

*Львівський науково-дослідний радіотехнічний інститут,
відділення мікроелектроніки
вул. Наукова, 7, Львів, 290060, Україна*

(Отримано 10 квітня 1997 р.; в остаточному вигляді — 24 лютого 1998 р.)

Запропоновано модель, що описує режим переходу до омичного квазінасичення в колекторі потужних інтегральних біполярних транзисторів, особливістю яких є нерівномірність розподіленого опору області колектора. Проведена оптимізація топології потужних інтегральних імпульсних транзисторів, які працюють в режимі великих шпаруватостей коротких імпульсів при незначному тепловиділенні. Оптимізація дає змогу провести вибір конструкції і визначити геометричні розміри інтегральної транзисторної структури, яка характеризується мінімальними значеннями вихідної ємності та опору колектора.

Ключові слова: потужний інтегральний біполярний транзистор, оптимізація, топологія, конструкція.

PACS number(s): 85.30.De; 07.50.–e

Біполярні транзистори є основними ключовими елементами потужних імпульсних пристроїв наносекундного діяпазону. Некритичне тепловиділення, пов'язане з характерним для потужних імпульсних транзисторів режимом роботи з короткими імпульсами великої шпаруватости, робить можливим сполучення в імпульсних транзисторах високих рівнів робочих напруг, великих допустимих струмів, мінімального часу перемикання [1]. Підвищення комутованої транзистором потужності вимагає збільшення площі активних областей структури. Розв'язок цієї задачі забезпечується застосуванням зустрічноштирової транзисторної структури, яка дає змогу максимально використовувати площу емітерного переходу і оптимізацією параметрів високоомного колекторного шару.

На відміну від дискретних приладів, конструкцію інтегральних транзисторів визначає не лише геометрія емітер-базового переходу, але й спосіб виводу на поверхню кристала колекторного електрода. “Схований” і вертикальні шари, які застосовуються в інтегральних транзисторах, дають змогу значно зменшити опір колекторної області. Однак для транзисторів великої потужності, які характеризуються значними величинами площ, задача зменшення колекторного опору вимагає застосування великої кількості контактів до колектора, що ще збільшує площу транзистора. Унаслідок безпосередньої залежності величин бар'єрних ємностей транзистора від його площі, задача визначення оптимальної топології потужного інтегрального імпульсного транзистора стає першочерговою.

Метою розглянутої в нашій роботі методики оптимізації є вибір конструкції і визначення геометричних розмірів інтегральної транзисторної структури, яка характеризується мінімальними значеннями вихідної ємності та опору немодульованого тіла колектора.

Вихідними умовами оптимізації є:

- некритичні за час дії імпульсу тепловиділення і електроміграція;
- мінімально можлива ширина емітерних областей, яка забезпечує незначне витиснення струму до периферії емітера;
- постійність для транзисторів, що розглядаються, конструктивних щільностей та електрофізичних параметрів структури;
- домінуючий вплив на перехідні процеси вихідних ємностей транзистора.

Характерною особливістю високовольтних біполярних транзисторів є викликане спадом напруги на високоомному колекторному шарі обмеження густини струму.

Критична густина струму в колекторі, при якій транзистор переходить у режим омичного квазінасичення, згідно з [2], визначається як

$$J_K = \frac{U_{ск}}{\rho_K W_n},$$

де $U_{ск}$ — величина спаду напруги на колекторі транзистора; ρ_K і W_n — відповідно питомий опір і товщина високоомного колекторного шару.

У нашій роботі досліджуємо режим переходу до омичного квазінасичення в колекторі потужних інтегральних біполярних транзисторів.

Розглянемо переріз найпростішої зустрічноштирової структури інтегрального транзистора (рис. 1а). В епітаксіальному (n^-) шарі сформовані контакт (n^+) до колектора і базова (p^-) область, у якій знаходиться ряд емітерних (n^+) областей. Під епітаксіальним шаром у підкладці (p^-) є “схований” (n^+) шар.

з іншого — великою довжиною периметра емітера багатоемітерних структур з мінімальною шириною емітерних областей. Оскільки в транзисторі з великим периметром емітера величиною омичного опору можна знехтувати ($m\varphi_T \gg R_{OM}I_0$), то вираз для густини струму вздовж емітерної смужки при наближенні $R_{OM} = 0$ і крайових умовах (4) визначається як

$$J_e(z) = \frac{2m\varphi_T c^2}{R_M S_e \cos^2(c(1-z/L))}, \quad (6)$$

де $S_e = Ll_e$ — площа емітерної смужки; c — константа, яка визначається з трансцендентного рівняння [4]

$$c \operatorname{tg} c = \frac{R_M I_0}{2m\varphi_T}. \quad (7)$$

Очевидно, що максимальну густину струму в колекторі спостерігаємо на початку довжини емітерної доріжки

$$J_{\max} = J_e(0) = \frac{2m\varphi_T c^2}{R_M S_e \cos^2 c}. \quad (8)$$

Розглянемо розподіл густини струму в тілі колектора. У роботі [5] отримані у двовимірному наближенні формули для послідовного опору колектора в потужних дискретних багатоемітерних транзисторах. Для одношарового колектора з вертикальною структурою

$$r_k = r_{k0} \left(\frac{l_e}{l_e + l_b} + \frac{0.95}{\pi^2} \cdot \frac{l_e + l_b}{W_n} \right), \quad (9)$$

де $r_{k0} = \rho_n W_n / (nl_e L)$ — опір колекторного шару в одновимірному наближенні; ρ_n і W_n — відповідно питомий опір і товщина невиснаженої частини високоомного шару колектора.

Інтегральні транзистори, на відміну від дискретних, характеризуються значною величиною горизонтальної складової опору тіла колектора, яка визначається опором “схованого” шару. Для розрахунку розподіленого опору “схованого” шару введемо у двовимірному наближенні геометричний еквівалент величини опору високоомного шару колектора.

Уявимо переріз активної частини високоомного шару колектора у вигляді суми геометричних фігур-еквівалентів, опір яких тотожний опором, отриманому з виразу (9). Для простоти розрахунку запропонуємо трапеціодну форму еквівалента (рис. 1б), переріз якої в площині OXZ — прямокутник площею

$$S(y) = (l_e + 2y \operatorname{tg} \alpha) L,$$

де $\operatorname{tg} \alpha = (l_k - l_e) / (2W_n)$; l_k — основа трапеції. Тоді ве-

личина опору еквівалента при умові постійності густини струму в межах перерізу $S(y)$

$$r_{\text{екв}} = \rho_n \int_0^{W_n} \frac{dy}{S(y)},$$

або

$$r_{\text{екв}} = \frac{\rho_n}{L} \int_0^{W_n} \frac{dy}{l_e + \frac{l_k - l_e}{W_n} y}.$$

Після відповідних перетворень та інтегрування отримуємо

$$r_{\text{екв}} = \frac{\rho_n W_n}{L(l_k - l_e)} \ln \frac{l_k}{l_e}.$$

Прирівнюючи значення опору, отриманого з виразу (9), до величини опору паралельно з'єднаних n еквівалентів, де n — кількість емітерних областей транзистора, отримуємо трансцендентне рівняння відносно l_k

$$\frac{1}{l_k - l_e} \ln \frac{l_k}{l_e} = \frac{1}{l_e + l_b} + \frac{0.95}{\pi^2} \cdot \frac{l_e + l_b}{W_n l_e}.$$

Для типових значень $l_e \approx l_b \approx W_n$ розв'язок останнього рівняння відповідає виразу $l_k \geq l_e + l_b$. Значить, для структури транзистора, яку розглядаємо, у площині умовного переходу високоомного шару колектора в область сильнолегованого “схованого” шару фігури, еквіваленти незначно перекриваються один з одним, і, як наслідок останнього, густина струму, який втікає з боку високоомного колектора під областю бази в “схований” шар у площині OXY , постійна.

Ураховуючи, що градієнт густини струму вздовж емітерної області незначний, а довжина останньої значно більша від товщини високоомного шару колектора, розтікання струму в колекторі в площині OXZ не розглядаємо.

Тоді спад напруги на області “схованого” шару можна зобразити як

$$U_{\text{сш}} = U_{\text{сш1}} + U_{\text{сш2}}, \quad (10)$$

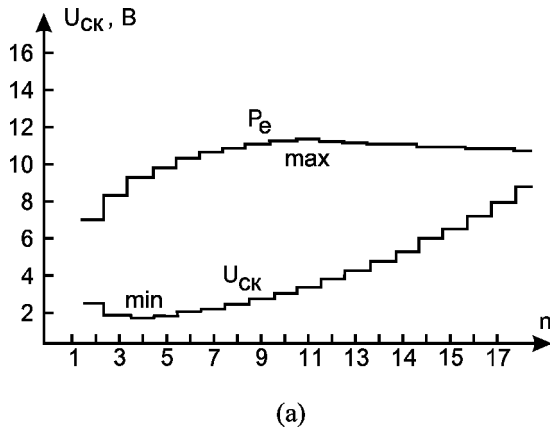
де

$$U_{\text{сш1}} = IR_{\text{сш}03} / L \quad (11)$$

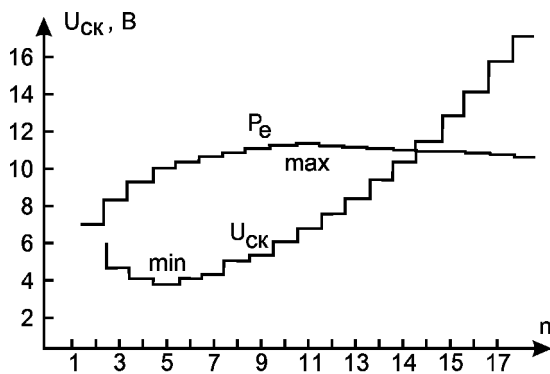
— спад напруги на периферійній частині “схованого” шару, тобто частини, де густина струму, який втікає в “схований” шар з боку високоомного колектора, дорівнює нулеві;

$$U_{сш2} = \int_0^b I(x) dR$$

— спад напруги на області “схованого” шару при постійній густині струму, який втікає в нього з боку високоомного колектора.



(a)



(б)

Рис. 3. Залежності величини напруги $U_{ск}$ і периметра емітера P_e від кількості емітерних областей для $Y' = 2 \cdot 10^5$ мкм² та струму колектора $I = 50$ мА (а), $I = 100$ мА (б).

Визначаючи величину струму в перерізі області “схованого” шару з координатою x (рис. 1в) як

$$I(x) = JL(b - x),$$

а величину опору елементарної ділянки “схованого” шару як

$$dR = R_{сш} \frac{dx}{L},$$

отримуємо

$$U_{сш2} = JR_{сш} \int_0^b (b - x) dx.$$

Інтегруючи, визначаємо

$$U_{сш2} = JR_{сш} \frac{b^2}{2}.$$

Підставляючи у вираз (11) значення струму $I = JbL$, а у вираз (10) суму отриманих напруг, знаходимо спад напруги на “схованому” шарі

$$U_{сш} = JR_{сш} b \left(\frac{b}{2} + o_3 \right),$$

визначаємо величину максимального спаду напруги в тілі колектора розглянутого інтегрального транзистора як суму спаду напруги на високоомному шарі та області “схованого” шару

$$U_{ск} = U_{ен} + U_{сш}.$$

Оскільки величина опору вертикальної області n^+ під контактом до колектора незначна, спадом напруги на ній можна знехтувати.

Виражаючи спад напруги на високоомному шарі колектора як

$$U_{ен} = J\rho_n W_n \kappa,$$

де

$$\kappa = \frac{l_e}{l_e + l_б} + \frac{0.95}{\pi^2} \cdot \frac{l_e + l_б}{W_n}, \quad \kappa < 1,$$

знаходимо

$$U_{ск} = J \left(\rho_n W_n \kappa + R_{сш} b \left(\frac{b}{2} + o_3 \right) \right).$$

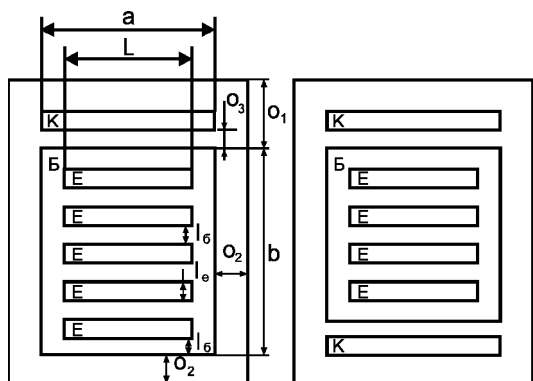
Отриманий вираз визначає величину спаду напруги в області колектора інтегрального транзистора в максимально віддаленій по осі x точці транзистора (максимально віддаленій від контакту колектора до емітерної смужки). А оскільки густина струму є функцією координати z ($J = J(z)$), яка визначається виразами (6, 7), то для $J = J_{max}$

$$U_{ск} = \frac{2m\varphi_T c^2}{R_m S_e \cos^2 c} \left(\rho_n W_n \kappa + R_{сш} b \left(\frac{b}{2} + o_3 \right) \right). \quad (12)$$

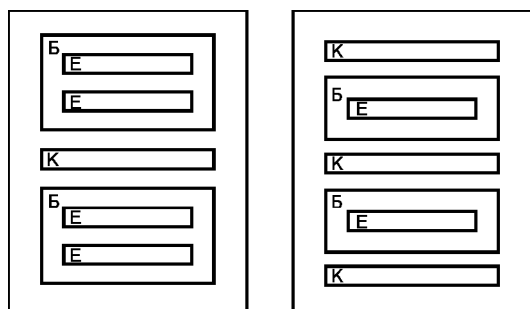
З метою експериментальної перевірки проведеного розрахунку режиму переходу до критичної густини

струму колектора був виготовлений інтегральний $n-p-n$ транзистор зустрічноштирової структури (рис. 1а).

Кількість емітерних областей $n=4$, ширина емітерів і шини металізації до них $l_e = 10$ мкм. Довжина кожної емітерної області $L = 240$ мкм, крок транзисторної структури $l_e + l_b = 24$ мкм. Розмір базової області $a \times b = 260 \times 100$ (мкм²); прозір між контактом колектора і базою $o_3 = 20$ мкм. Товщина епітаксiального шару — 15 мкм або з урахуванням глибини бази і розмитості “схованого” шару $W_n = 10$ мкм, питомий опір $\rho_n \approx 4$ Ом·см. Поверхневий опір металізації $R_{sm} = 0.03$ Ом/кв, “схованого” шару $R_{sch} = 30$ Ом/кв. Коефіцієнт неідеальності емітерного переходу $m = 1.5$. Електрофізичні параметри шарів визначали чотиризондовим методом.



(а) (б)



(в) (г)

Рис. 4. Конструкції інтегральних транзисторів: К — контакт до колектора; Б — базові області; Е — емітерні області.

Спад напруги на колекторі транзистора в точці переходу з квазінасиченого стану в активний при різних струмах емітера визначали імпульсним методом [6].

Отримана добра відповідність (рис. 2) експериментальних значень і розрахункової залежності $U_{ск} =$

$f(I)$. Розкид експериментальних значень $U_{ск}$ викликаний відсутністю різкого переходу при перемиканні транзистора з квазінасиченого стану в активний. Останнє підтверджує факт розподіленого характеру опору колектора інтегрального транзистора і нерівномірність величини спаду напруги на ньому.

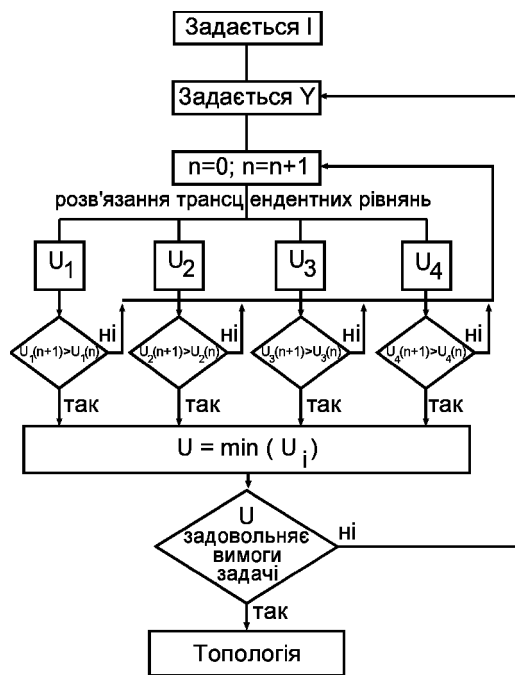


Рис. 5. Блок-схема розрахунку оптимальної топології інтегрального транзистора.

Уведемо функцію Y , що характеризує вплив величин вихідних ємностей інтегрального транзистора на його швидкодію

$$Y = \lambda_1 \bar{c}_{01} s_1 + \lambda_2 \bar{c}_{02} s_2, \tag{13}$$

де $s_1, \bar{c}_{01}, \lambda_1$ — відповідно площа, питома усереднена бар'єрна ємність колекторного $p-n$ переходу транзистора і відносний коефіцієнт впливу величини цієї ємності на час перезарядки вихідного кола; $s_2, \bar{c}_{02}, \lambda_2$ — аналогічні параметри для ємності транзистора на “землю”, наприклад, бар'єрної ємності ізолюючого $p-n$ переходу колектор-підкладка.

Зокрема, при величині опору навантаження в колі колектора, значно більшій за опір області колектора, вплив ємностей колектор-база і колектор-підкладка на час перезарядки вихідного кола приблизно однаковий, тобто $\lambda_1 \approx \lambda_2 = 1$. Для схеми зі спільним колектором, для якої ємність колектор-підкладка не критична, $\lambda_1 = 1, \lambda_2 = 0$. У випадку, коли критерієм оптимізації є тільки площа, що займається транзистором, $\lambda_1 = 0, \lambda_2 = 1$.

Розглянемо при фіксованому значенні функції Y характер зміни спаду напруги на опорі колектора від

кількості емітерних областей і робочого струму. Для наочності приймемо $\bar{\tau}_{01} \approx \bar{\tau}_{02}$. Остання рівність питомих ємностей колектор-база і колектор-підкладка в схемі зі спільним емітером характерна для транзисторів з донною ізоляцією $p-n$ переходом і близькими значеннями концентрації в підкладці (КДБ-10, $N_A = 10^{15} \text{ см}^{-3}$) та в епітаксильному шарі колектора (КЭФ-5, $N_D = 10^{15} \text{ см}^{-3}$). При $\lambda_1 = \lambda_2$ функцію оптимізації зручно задати як $Y' = Y/\bar{\tau}_0 = S_1 + S_2$, де $\bar{\tau}_0 = \bar{\tau}_{01} = \bar{\tau}_{02}$. Для структури, що розглядається, $S_1 = ab$; $S_2 = (a + 2o_2)(b + o_1 + o_2)$.

На рис. 3 подані результати розрахунку залежності спаду напруги на колекторі від кількості емітерних областей і робочого струму для $Y' = 2 \cdot 10^5 \text{ мкм}^2$.

Для вихідних даних із [7] і значення струму $I = 50 \text{ мА}$ мінімальний спад напруги забезпечується при $n = 4$, а при $I = 100 \text{ мА}$ — при $n = 5$. Для порівняння на графіку показана також залежність периметра емітера розглянутого типу транзистора. Максимальний периметр забезпечується при $n = 11$.

Поряд з найпростішою структурою на рис. 4 показані й інші конструкції транзисторів, які найчастіше застосовуються. Задачу оптимізації для загального випадку розглянемо як визначення типу конструкції, кількості емітерних областей і геометричних розмірів, які забезпечують для заданого робочого струму мінімальні значення функції Y і спаду напруги $U_{ск}$.

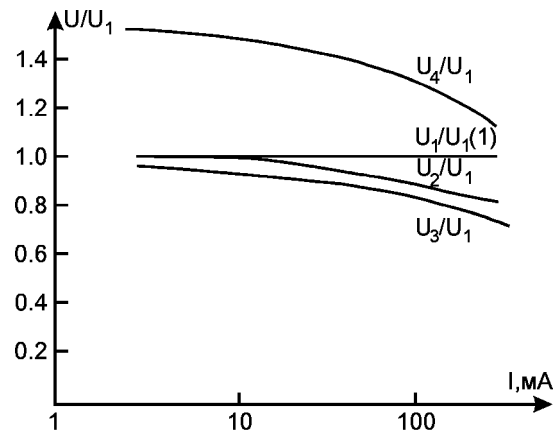
У таблиці 1 подані основні розрахункові формули визначення параметрів, наведених на рис. 4 транзисторних структур.

Блок-схема розрахунку оптимальної геометрії транзистора методом ітерацій подана на рис. 5. При заданих значеннях струму колектора I і функції Y для змінної величини n шукаємо розв'язки трансцендентних залежностей $U_{скi} = f(Y, I, n)$. Розрахунок проводимо для всіх типів конструкцій, а конструкція, для якої напруга $U_{ск}$ у точці екстремуму $dU_{ск}/dn = 0$ мінімальна, вважається оптимальною. Якщо величина спаду напруги на опорі колектора не задовольняє вимоги розв'язуваної задачі, то проходить вибір нового значення Y .

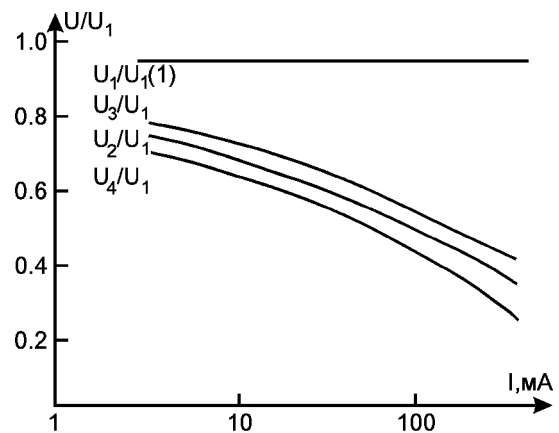
Для оптимальної конструкції проводимо розрахунок довжини емітерних областей та інших геометричних розмірів транзистора.

На завершення зауважимо, що тип оптимальної конструкції в діапазоні реальних величин струму задається, в основному, тільки значенням функції Y . При цьому струм колектора не є визначальним параметром у виборі конструкції. Так, для типів конструкцій, які розглядаємо, на рис. 6 подані графіки розрахунку залежності нормованих за $U_{ск1}$ величин спаду напруг на опорі колектора $U_{скi}/U_{ск1}$, де $U_{ск1}$ — спад напруги на найпростішій конструкції 1 (рис. 4а). Наприклад, у всьому діапазоні робочих струмів для значення $Y' = 5 \cdot 10^4 \text{ мкм}^2$ оптимальною є конструкція 3 (рис. 6а), для $Y' = 3 \cdot 10^5 \text{ мкм}^2$ — конструкція 4 (рис. 6б).

Досліджено режим переходу до омичного квазінасичення в колекторі потужного інтегрального біполярного транзистора. Розрахункова залежність спаду напруги на розподіленому опорі колектора добре узгоджується з експериментальними значеннями, які визначають перехід транзистора до омичного квазінасичення.



(а)



(б)

Рис. 6. Графіки нормованих функцій $U_{скi}/U_{ск1}$: а) $Y' = 5 \cdot 10^4 \text{ мкм}^2$; б) $Y' = 3 \cdot 10^5 \text{ мкм}^2$.

Розв'язано задачу оптимізації топології потужного інтегрального імпульсного транзистора. Подані залежності, які визначають опір інтегральних транзисторів різноманітних конструкцій. Оптимізація дає змогу провести вибір конструкції і визначити геометричні розміри інтегрального транзисторної структури, яка характеризується мінімальними значеннями вихідної ємності та опорі колектора.

Тип	$U_{ск} \left(J = \frac{2m\varphi_2 c^2}{R_n S_e \cos^2 c} \right)$	Y
1 рис. 4а	$U_1 = J (\rho_n W_{нк} + R_{сш} b (\frac{b}{2} + o_3))$	$Y = \lambda_1 \bar{c}_{01} ab + \lambda_2 \bar{c}_{02} (a + 2o_2)(b + o_1 + o_2)$
2 рис. 4б	$U_2 = J (\rho_n W_{нк} + R_{сш} \frac{b}{2} (\frac{b}{4} + o_3))$	$Y = \lambda_1 \bar{c}_{01} ab + \lambda_2 \bar{c}_{02} (a + 2o_2)(b + 2o_1)$
3 рис. 4в	$U_3 = J (\rho_n W_{нк} + R_{сш} b (\frac{b}{2} + o_3))$	$Y = 2\lambda_1 \bar{c}_{01} ab + \lambda_2 \bar{c}_{02} (a + 2o_2)(2b + o_1 + 2o_2)$
4 рис. 4г	$U_4 = J (\rho_n W_{нк} + R_{сш} \frac{b}{2} (\frac{b}{4} + o_3))$	$Y = 2\lambda_1 \bar{c}_{01} ab + \lambda_2 \bar{c}_{02} (a + 2o_2)(2b + 3o_1)$

Таблиця 1. Розрахункові формули визначення параметрів наведених на рис. 4 транзисторних структур.

-
- [1] В. М. Диковский, В. Л. Аронов, Е. М. Асвадунова и др., Электронная техника. Полупроводниковые приборы вып. 2 (120), 28 (1977).
- [2] А. Блихер, *Физика силовых биполярных и полевых транзисторов* (Энергоатомиздат, Ленинград, 1986).
- [3] K. J. S. Caves, J. A. Barnes, IEEE Trans. Electron Devices **12**, 84 (1965).
- [4] В. А. Сергеев, В. М. Мулев, Электронная техника. Полупроводниковые приборы вып. 1 (144), 6 (1981).
- [5] Б. К. Петров, Н. Г. Гвоздевская, Электронная техника. Полупроводниковые приборы вып. 2 (112), 37 (1977).
- [6] В. Н. Горемышев, Б. И. Григорьев, Ю. В. Резанов, Электронная техника. Полупроводниковые приборы вып. 1 (186), 51 (1987).
- [7] Р. Л. Голяка, Л. М. Смеркло, Вопросы радиоэлектроники. Общие вопросы радиоэлектроники вып. 22, 42 (1991).

THE MODEL AND OPTIMISATION OF STRUCTURE OF POWER INTEGRATED PULSE TRANSISTOR

L. M. Smerklo
Lviv Radio Engineering Research Institute
Microelectronics division
7 Naukova Str., Lviv, UA-290060, Ukraine

A model describing the mode of transition to the ohm quasi-saturation in the collector of power integrated bipolar transistors the special features of which is the irregularity of distributed resistance of the collector part, is proposed. The questions of optimisation of topology of power integrated pulse transistors that work in the mode of great relative pulse duration of short pulses with insignificant heat release are considered. The optimisation allows to make a choice of the construction and determine the geometrical dimensions of integrated transistor structure which is characterized by the minimum values of output capacity and resistance of the collector.