

# КОМПЬЮТЕРНАЯ ИНЖЕНЕРИЯ

УДК 681.518.5:004.052.32

## СПОСОБ ПОСТРОЕНИЯ СИСТЕМЫ ФУНКЦИОНАЛЬНОГО КОНТРОЛЯ НА ОСНОВЕ ЛОГИЧЕСКОГО ДОПОЛНЕНИЯ ПО РАВНОВЕСНОМУ КОДУ «1 ИЗ 5»

САПОЖНИКОВ В.В., САПОЖНИКОВ Вл.В.,  
ЕФАНОВ Д.В., ПИВОВАРОВ Д.В.

Предлагается разработанный авторами статьи способ построения систем функционального контроля логических схем автоматики и вычислительной техники на основе метода логического дополнения по равновесному коду «1 из 5». Приводится общий подход к построению систем функционального контроля методом логического дополнения. Описываются базовые структуры систем функционального контроля на основе логического дополнения по равновесному коду «1 из 5». Даются формулы вычисления контрольных функций дополнения, позволяющие решить задачу формирования полного множества тестовых комбинаций для тестера кода «1 из 5». Отмечаются особенности реализации систем функционального контроля по разработанному способу с условием обеспечения свойства полной самопроверяемости структуры. Даются результаты экспериментов по применению разработанного способа при организации систем диагностирования контрольных комбинационных схем из набора MCNC Benchmarks.

### 1. Введение

Системы функционального контроля предназначены для технического диагностирования устройств в режиме реального времени в процессе выполнения ими своих функций [1, 2]. При построении системы функционального контроля исходное логическое устройство  $F(x)$  (объект диагностирования), вычисляющее значения ряда рабочих функций  $f_1, f_2, \dots, f_m$ , дополняется специализированной схемой контроля, осуществляющей оценку правильности вычислений. В процессе эксплуатации в устройстве  $F(x)$  возникают неисправности, которые могут проявляться на рабочих выходах в виде искажений вычисляемых значений. Задачей схемы контроля является идентификация этих искажений. Таким образом, реализуется стратегия косвенной оценки технического состояния объекта диагностирования по результатам вычислений [3, 4].

При организации систем функционального контроля используются помехоустойчивые коды с небольшой избыточностью, ориентированные на обнаружение ошибок [5, 6]. К ним относятся коды с суммированием (коды Бергера [7]) и их модификации [8 – 12], а также равновесные коды [13] и их модификации [14, 15]. Небольшая избыточность кода обуславливает приемлемые для разработчика системы функционального контроля характеристики структурной избыточности, обнаруживающей способности, энергопо-

требления и пр. Так, структурная избыточность системы диагностирования не должна превышать избыточности системы дублирования.

Применение помехоустойчивых кодов для построения систем функционального контроля описано в большом количестве работ, например, в [16 – 20]. Известно два основных подхода к организации систем функционального контроля: на основе метода вычисления контрольных разрядов разделимого кода и на основе метода логического дополнения [21].

При реализации системы функционального контроля на основе метода вычисления контрольных разрядов выходы устройства  $F(x)$  отождествляются с информационным вектором  $\langle f_m f_{m-1} \dots f_2 f_1 \rangle$ , а в схеме контроля выделяется блок контрольной логики  $G(x)$ , вычисляющий контрольные функции  $g_1, g_2, \dots, g_k$ , объединяемые в контрольный вектор  $\langle g_k g_{k-1} \dots g_2 g_1 \rangle$ . Для сравнения значений информационного и контрольного векторов используется самопроверяемый тестер кода TSC [22]. При таком подходе характеристики системы диагностирования полностью определяются выбранным на этапе ее проектирования разделимым кодом [20]. Следует отметить, что реализация блока контрольной логики является единственной при использовании метода вычисления контрольных разрядов.

Применение метода логического дополнения подразумевает преобразование значений вектора  $\langle f_m f_{m-1} \dots f_2 f_1 \rangle$  с помощью блока логического дополнения в вектор выбранного кода  $\langle h_m h_{m-1} \dots h_2 h_1 \rangle$  [23]. Это позволяет минимизировать структурную избыточность за счет упрощения блока контрольной логики  $G(x)$ . Кроме этого, при использовании метода логического дополнения гораздо проще обеспечить свойство полной самопроверяемости структуры тестера благодаря возможности подбора значений преобразуемых функций [24].

Рассмотрим особенности реализации системы функционального контроля на основе метода логического дополнения.

### 2. Структурная схема системы функционального контроля на основе логического дополнения

В схеме контроля системы диагностирования на основе метода логического дополнения выделяются три функциональных блока (рис. 1): блок контрольной логики  $G(x)$ , блок логического дополнения и тестер TSC. Блок контрольной логики вычисляет значения функций дополнения рабочих функций  $f_1, f_2, \dots, f_m$  до вектора  $\langle h_m h_{m-1} \dots h_2 h_1 \rangle$  выбранного кода по правилу:

$$h_i = f_i \oplus g_i, \quad i = 1, m. \quad (1)$$

Таким образом, блок логического дополнения представляет собой каскад сумматоров по модулю два, на выходах каждого из которых формируется один из разрядов кодового слова, выбранного на этапе проектирования кода. Тестер представляет собой устройство проверки принадлежности поступающего на его входы вектора мно-

жеству кодовых слов выбранного кода. Структура тестера должна обладать свойством полной самопроверяемости, что подразумевает при наличии на его входах вектора, не принадлежащего коду, и при наличии внутренних дефектов тестера формирование контрольного сигнала  $\langle z^0 z^1 \rangle = \langle 00 \rangle$  или  $\langle 11 \rangle$  [22].

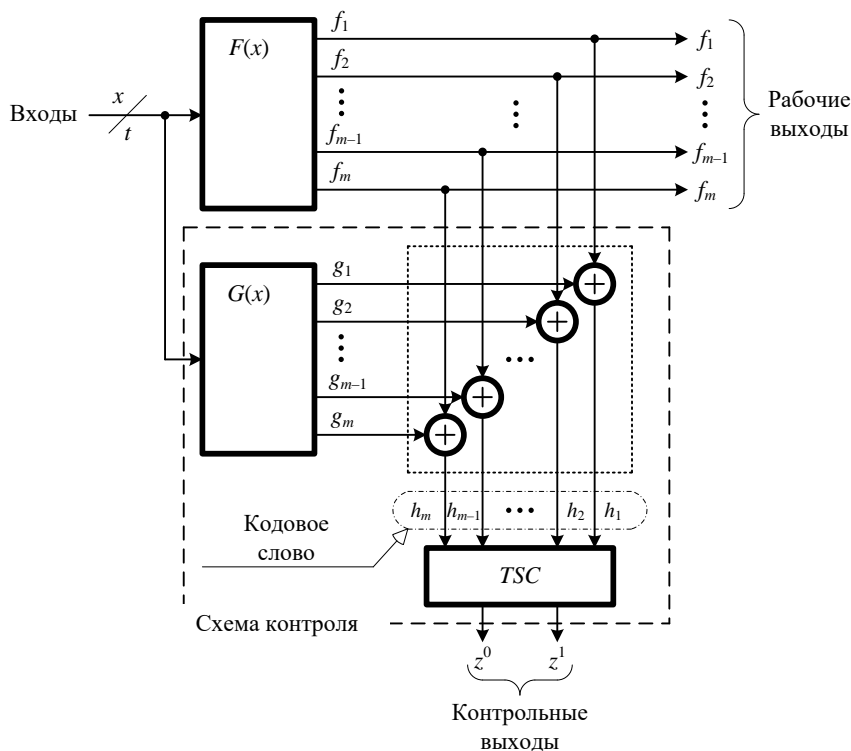


Рис. 1. Структурная схема системы функционального контроля на основе логического дополнения

При реализации системы функционального контроля на основе метода логического дополнения удобно использовать коды с небольшой длиной кодовых слов (тестеры таких кодов требуют для полной проверки небольшое количество комбинаций). К таким кодам, к примеру, относятся равновесные коды « $r$  из  $n$ » или  $r/n$ -коды ( $n$  – длина кодового слова, а  $r$  – его вес). При организации системы функционального контроля на основе  $r/n$ -кодов используется следующий подход:

- 1) выходы объекта диагностирования  $F(x)$  разбиваются на подмножества по  $n$  выходов в каждом (при этом подмножества могут пересекаться);
- 2) контроль каждого подмножества осуществляется на основе выбранного  $r/n$ -кода с помощью отдельной схемы контроля;
- 3) выходы отдельных схем контроля объединяются на входах самопроверяемой схемы сжатия парафазных сигналов [25, 26].

В [23, 27 – 31] изучены возможности применения 1/3-кода при организации систем функционального контроля, в [24, 32 – 34] – 1/4-кода и в [35 – 37] – 2/4-кода. Тестеры 1/3-кода и 1/4-кода про-

веряются подачей на их входы полного множества рабочих комбинаций, а тестер 2/4-кода в наиболее простой реализации – только четырех комбинаций их множества {0011; 1100; 1001; 0110} [35].

Перспективным для организации систем функционального контроля на основе метода логического дополнения может оказаться применение 1/5-кода. Множество тестовых комбинаций для полной проверки тестера данного кода содержит пять комбинаций {00001; 00010; 00100; 01000; 1000}.

Рассмотрим особенности применения 1/5-кода при организации систем функционального контроля.

### 3. Базовая структура системы функционального контроля на основе логического дополнения по 1/5-коду

Такая структура изображена на рис. 2. В схеме контроля блок контрольной логики имеет пять выходов, а блок логического дополнения содержит пять элементов сложения по модулю два, осуществляющих преобразования разрядов век-

тора  $\langle f_5 f_4 f_3 f_2 f_1 \rangle$  в разряды кодовых слов  $\langle h_5 h_4 h_3 h_2 h_1 \rangle$  равновесного 1/5-кода.

Значения контрольных функций  $g_1, \dots, g_5$  получаются путем подбора с учетом следующих ограничений:

1) каждый вектор  $\langle f_5 f_4 f_3 f_2 f_1 \rangle$  должен быть преобразован в вектор  $\langle h_5 h_4 h_3 h_2 h_1 \rangle$ , принадлежащий 1/5-коду;

2) необходимо хотя бы по одному разу сформировать каждый из векторов 1/5-кода, что обеспечивает тестирование 1/5-TSC (рис. 3);

3) необходимо обеспечить тестируемость каждого элемента сложения по модулю два в блоке логического дополнения, что требует при их канонической реализации формирования хотя бы по разу значений  $\langle f_i g_i \rangle = \{00, 01, 10, 11\}$  [38].

Используя различные способы подбора значений контрольных функций, можно не только решить задачу обеспечения полной самопроверяемости

структуры системы диагностирования, но и минимизировать сложность технической реализации блока  $G(x)$ .

Необходимо отметить, что снижение структурной избыточности системы функционального контроля может быть достигнуто путем упрощения блока логического дополнения из следующих соображений. Любой вектор  $\langle f_5 f_4 f_3 f_2 f_1 \rangle$  может быть преобразован в вектор  $\langle h_5 h_4 h_3 h_2 h_1 \rangle$ , принадлежащий 1/5-коду, при дополнении только четырех функций из пяти (рис. 4). Таким образом, один из разрядов преобразовывать не потребуется, а блок  $G(x)$  при этом будет иметь четыре выхода вместо пяти.

Метод подбора значений контрольных функций имеет один недостаток – требуется подбор большого количества вариантов дополнения для оптимизации показателей системы функционального контроля.

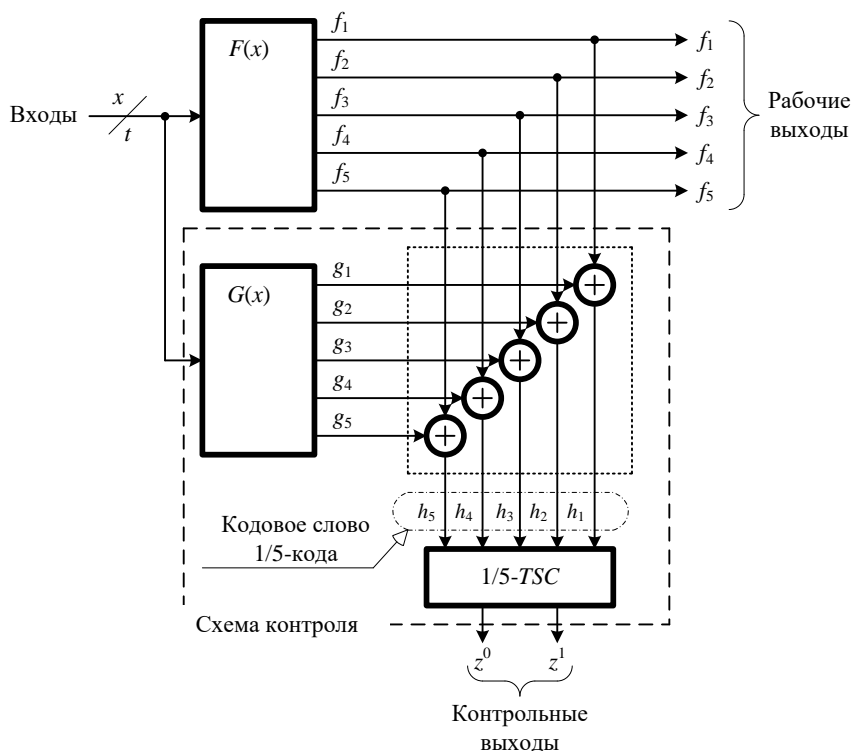


Рис. 2. Базовая структура системы функционального контроля на основе дополнения по 1/5-коду

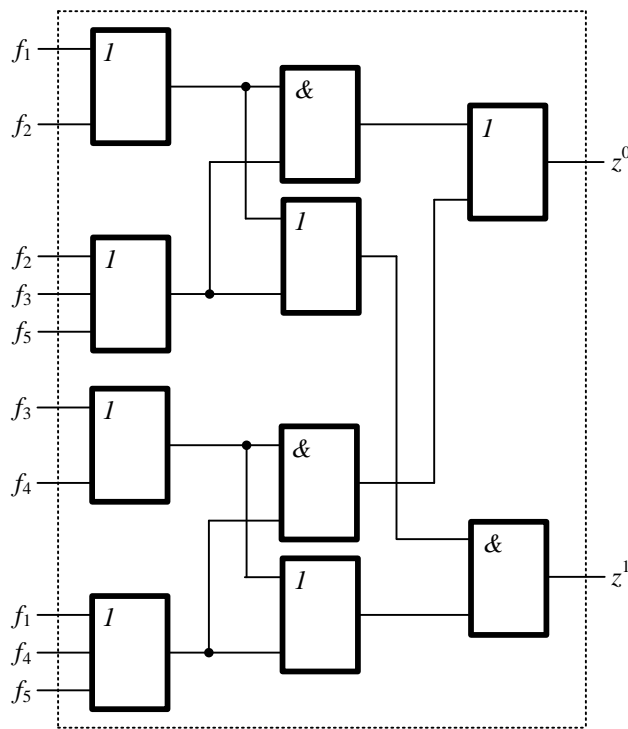


Рис. 3. Схема 1/5-TSC [39]

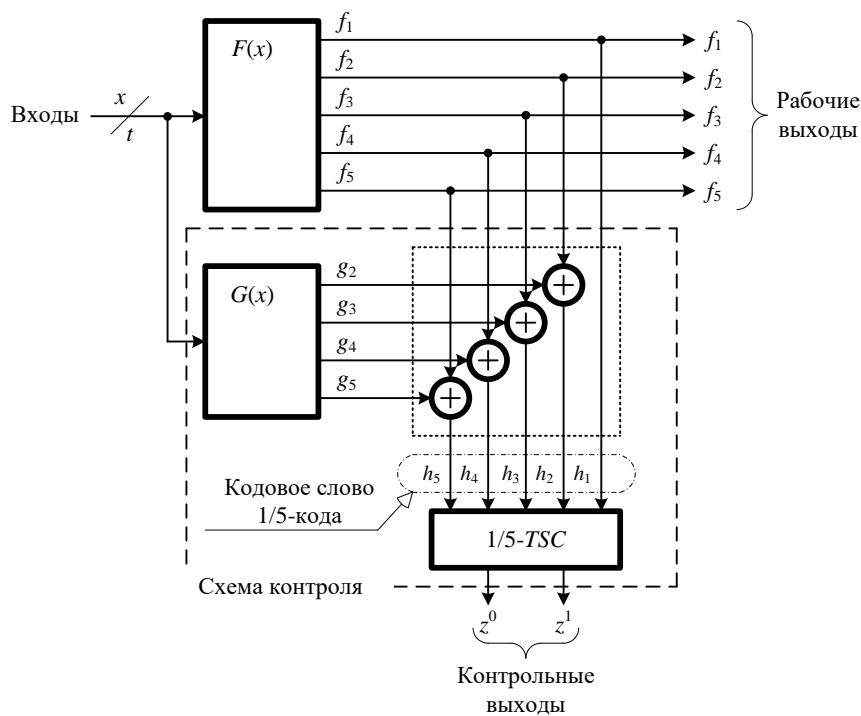


Рис. 4. Упрощенная базовая структура системы функционального контроля на основе дополнения по 1/5-коду

Значения выражений для контрольных функций могут быть получены по методике, примененной в работах [24, 33] для вычисления функций дополнения рабочих выходов до кодовых слов 1/3 и 1/4 кодов:

$$\begin{cases} g_1 = 0; \\ g_2 = f_1 f_2; \\ g_3 = (f_1 \vee f_2) f_3; \\ g_4 = (f_1 \vee f_2 \vee f_3) f_4; \\ g_5 = (f_1 \vee f_2 \vee f_3 \vee f_4) f_5 \vee \overline{f_1 f_2 f_3 f_4 f_5}. \end{cases} \quad (2)$$

#### 4. Экспериментальные результаты

Для оценки эффективности разработанного авторами способа организации системы функционального контроля были проведены исследования со схемами с пятью выходами из набора контрольных комбинационных схем *MCNC Benchmarks* [40].

В ходе эксперимента оценивались показатели структурной избыточности систем диагностирования, реализованных на основе упрощенной базовой структуры, изображенной на рис. 4. На первом этапе было разработано специальное программное обеспечение, позволяющее для контрольных схем, заданных в формате \*.pla [41], получать в том же формате описания всех блоков системы функционального контроля по исследуемому способу. На втором этапе с использованием интерпретатора SIS [42] и библиотеки функциональных элементов *stdcell2\_2.genlib* определялся показатель площади, занимаемой на кристалле каждым логическим блоком системы функционального контроля (в условных единицах библиотеки). После этого определялся показатель площади системы диагностирования для трех структур: 1) система диагностирования на основе 1/5-кода; 2) система дублирования; 3) система контроля по классическому коду Бергера. Данные, полученные в ходе эксперимента, занесены в таблицу.

В двух последних столбцах таблицы записаны показатели, характеризующие систему функционального контроля по 1/5-коду в сравнении с

системами дублирования и контроля по коду Бергера. Коэффициент  $\delta$  показывает долю площади системы контроля по 1/5-коду от площади системы дублирования (в процентах), а коэффициент  $\beta$  – долю площади системы контроля по 1/5-коду от площади системы контроля по коду Бергера (в процентах). По анализу значений коэффициентов  $\delta$  и  $\beta$  можно сделать вывод о том, что для рассмотренных логических схем разработанный способ дает меньшую площадь системы диагностирования, чем при использовании дублирования и при организации контроля по коду Бергера.

Следует также отметить, что в описанном эксперименте никак не комбинировались выходы схем – не производилась перестановка выходов в векторе  $\langle f_5 f_4 f_3 f_2 f_1 \rangle$ . Однако, как следует из формулы (2), перестановка выходов в информационном векторе будет влиять на конечные выражения для функций  $g_i$ , а значит, и на площадь блока контрольной логики в системе функционального контроля (см. рис. 4). Это влияние может оказаться существенным и может позволить уменьшить показатели структурной избыточности разработанного способа организации системы функционального контроля. Всего существует  $n!=5!=120$  вариантов перестановки для базовой структуры системы функционального контроля, что позволяет выбрать способ логического дополнения, дающий минимальную структурную избыточность при применении 1/5-кода.

Результаты экспериментов со схемами из набора *MCNC Benchmarks*

Название схемы	Площади элементов системы диагностирования				Площадь системы диагностирования	Площадь системы дублирования	Площадь системы контроля по коду Бергера	Показатели структурной избыточности	
	$F(x)$	$G(x)$	Блок дополнения	1/5-TSC				$\delta, \%$	$\beta, \%$
clpl	640	912	160	336	2048	2128	4480	96,241	45,714
dist	9976	4456	160	336	11920	14784	13048	80,628	91,355
root	6152	1552	160	336	5544	7840	6168	70,714	89,883
newcwp	440	464	160	336	1400	1728	1920	81,019	72,917

#### 5. Заключение

Предложенный авторами способ построения системы функционального контроля на основе логического дополнения по 1/5-коду позволяет в ряде случаев организовывать более простые структуры, чем система дублирования и система контроля на основе кода Бергера. При этом достаточно просто обеспечивается свойство полной самопроверяемости тестера в системе функционального контроля.

Применение 1/5-кода при организации систем функционального контроля является перспек-

тивным и расширяет возможности проектировщика надежных дискретных устройств, что особенно эффективно при использовании схем программируемой логики типа *FPGA*.

**Литература:** 1. Пархоменко П.П., Согомонян Е.С. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратные средства). М.: Энергоатомиздат, 1981. 320 с. 2. Согомонян Е.С., Слабаков Е.В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с. 3. Дрозд А.В., Харченко В.С., Антошук С.Г., Дрозд Ю.В., Дрозд М.А., Сулима Ю.Ю. Рабочее диагностирование безопасных информационно-управляющих систем // Под ред. А.В. Дрозда и В.С. Харченко. Харьков: Национальный аэрокосмический университет им. Н.Е. Жу-

- ковского «ХАИ», 2012, 614 с. **4.** *Kharchenko V., Kondratenko Yu., Kacprzyk J.* Green IT Engineering: Concepts, Models, Complex Systems Architectures // Springer Book series "Studies in Systems, Decision and Control", Vol. 74, 2017, 305 p. DOI: 10.1007/978-3-319-44162-7. **5.** *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI – A Compendium of Approaches // Journal of Electronic Testing: Theory and Application, 1998, Vol. 12, issue 1-2. P. 7-20. DOI: 10.1023/A:1008244815697. **6.** *Mitra S., McCluskey E.J.* Which Concurrent Error Detection Scheme to Choose? // Proceedings of International Test Conference, 2000, USA, Atlantic City, NJ, 03-05 October 2000. P. 985-994. **7.** *Berger J.M.* A Note on Error Detecting Codes for Asymmetric Channels // Information and Control, 1961, Vol. 4, issue 1, pp. 68-73. DOI: 10.1016/S0019-9958(61)80037-5. **8.** *Piestrak S.J.* Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. 111 p. **9.** *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications // New Jersey: John Wiley & Sons, 2006. 720 p. **10.** *Lala P.K.* Principles of Modern Digital Design. New-Jersey: John Wiley & Sons, 2007. 436 p. **11.** *Сапожников В.В., Сапожников В.В., Ефанов Д.В.* Взвешенные коды с суммированием для организации контроля логических устройств // Электронное моделирование. 2014. Том 36, №1. С. 59-80. **12.** *Блюдов А.А., Ефанов Д.В., Сапожников В.В., Сапожников В.В.* О кодах с суммированием единичных разрядов в системах функционального контроля // Автоматика и телемеханика. 2014. №8. С. 131-145. **13.** *Freiman C.V.* Optimal Error Detection Codes for Completely Asymmetric Binary Channels // Information and Control, 1962. Vol. 5. P. 64-71. DOI: 10.1016/S0019-9958(62)90223-1. **14.** *Borden J.M.* Optimal Asymmetric Error Detection Codes // Information and Control, 1982. Vol. 53, issue 1-2. P. 66-73. DOI: 10.1016/S0019-9958(82)91125-1. **15.** *Tallini L., Merani L., Bose B.* Balanced Codes for Noise Reduction in VLSI System // Dig. Pap. 24<sup>th</sup> International FTC Symposium, Austin, TX, June 15-17, 1994. P. 212-218. **16.** *Busaba F.Y., Lala P.K.* Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // Journal of Electronic Testing: Theory and Applications, 1994, Vol. 5, issue 5. P. 19-28. **17.** *Das D., Touba N.A.* Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes", Journal of Electronic Testing: Theory and Applications, 1999. Vol. 15, Issue 1-2. P. 145-155. DOI: 10.1023/A:1008344603814. **18.** *Das D., Touba N.A., Seuring M., Gossel M.* Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes // Proceedings of the 6th IEEE International On-Line Testing Workshop (IOLTW), Spain, Palma de Mallorca, July 3-5, 2000. P. 171-176. DOI: 10.1109/OLT.2000.856633. **19.** *Ubar R., Raik J., Vierhaus H.-T.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source) // Information Science Reference, Hershey – New York, IGI Global, 2011. 578 p. **20.** *Sapozhnikov V., Sapozhnikov V.I., Efanov D.* Modular Sum Code in Building Testable Discrete Systems // Proceedings of 13th IEEE East-West Design & Test Symposium (EWDTS'2015), Batumi, Georgia, September 26-29, 2015. P. 181-187. DOI: 10.1109/EWDTS.2015.7493133. **21.** *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B.V. 2008. 184 p. **22.** *Сапожников В.В., Сапожников В.В.* Самопроверяемые дискретные устройства. СПб: Энергоатомиздат, 1992. 224 с. **23.** *Гессель М., Морозов А.В., Сапожников В.В., Сапожников В.В.* Логическое дополнение – новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. №1. С. 167-176. **24.** *Гессель М., Морозов А.В., Сапожников В.В., Сапожников В.В.* Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика. 2005. №8. С. 161-172. **25.** *Carter W.C., Duke K.A., Schneider P.R.* Self-Checking Error Checker for Two-Rail Coded Data // United States Patent Office, filed July 25, 1968, ser. No. 747,533, patented Jan. 26, 1971, N. Y. 10 p. **26.** *Huches J.L.A., McCluskey E.J., Lu D.J.* Design of Totally Self-Checking Comparators with an Arbitrary Number of Inputs // IEEE Transactions on Computers. 1984. Vol. C-33. No. 6. P. 546-550. **27.** *Saposhnikov V.V., Morozov A., Saposhnikov V.I., Goessel M.* Concurrent Checking by Use of Complementary Circuits for «1-out-of-3» Codes // 5th International Workshop IEEE DDECS 2002, Brno, Czech Republic, April 17-19, 2002. **28.** *Сапожников В.В., Сапожников В.В.* О синтезе полностью самопроверяемых комбинационных схем // Известия Петербургского университета путей сообщения. 2006. №1. С. 97-110. **29.** *Das D.K., Roy S.S., Dmitriev A., Morozov A., Gössel M.* Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proceedings of the 10<sup>th</sup> International Workshops on Boolean Problems, Freiburg, Germany, September, 2012. P. 33-40. **30.** *Efanov D., Sapozhnikov V., Sapozhnikov V.I.* Methods of Organization of Totally Self-Checking Concurrent Error Detection System on the Basis of Constant-Weight «1-out-of-3»-Code // Proceedings of 14th IEEE East-West Design & Test Symposium (EWDTS'2016), Yerevan, Armenia, October 14-17, 2016. P. 117-125. OI: 10.1109/EWDTS.2016.7807622. **31.** *Сапожников В.В., Сапожников В.В., Ефанов Д.В.* Построение полностью самопроверяемых структур систем функционального контроля с использованием равновесного кода «1 из 3» // Электронное моделирование. 2016. Том 38. № 6. С. 25-43. **32.** *Sen S.K.* A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares // National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010), Sikkim Manipal Institute of Technology, Sikkim, held during 22-24 December, 2010. **33.** *Saposhnikov V.V., Saposhnikov V.I., Morozov A., Osadchi G., Gossel M.* Design of Totally Self-Checking Combinational Circuits by Use of Complementary Circuits // Proceedings of East-West Design & Test Workshop, Yalta, Ukraine, 2004. P. 83-87. **34.** *Сапожников В.В., Сапожников В.В., Ефанов Д.В., Пивоваров Д.В.* Метод логического дополнения на основе равновесного кода «1 из 4» для построения полностью самопроверяемых структур систем функционального контроля // Электронное моделирование. 2017. Том 39. №2. **35.** *Сапожников В.В., Сапожников В.В., Ефанов Д.В.* Метод функционального контроля комбинационных логических устройств на основе кода «2 из 4» // Известия вузов. Приборостроение, 2016, Т. 59, №7, С. 524-533. DOI 10.17586/0021-3454-2016-59-7-524-533. **36.** *Sapozhnikov V., Sapozhnikov V.I., Efanov D.* Concurrent Error Detection of Combinational Circuits by the Method of Boolean Complement on the Base of «2-out-of-4» Code // Proceedings of 14th IEEE East-West Design & Test Symposium (EWDTS'2016), Yerevan, Armenia, October 14-17, 2016. P. 126-133. DOI: 10.1109/EWDTS.2016.7807677. **37.** *Сапожников В.В., Сапожников В.В., Ефанов Д.В.* Построение самопроверяемых структур систем функционального контроля на основе равновесного кода «2 из 4» // Проблемы управления. 2017. №1. С. 57-64. **38.** *Аксёнова Г.П.* Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю два // Автоматика и телемеханика. 1979. № 9. С. 126-135. **39.** *Сапожников В.В., Рабара В.* Универсальный алгоритм синтеза 1/n-тестеров // Проблемы передачи информации. 1982. Том 18, №3. С. 62-73. **40.** *Collection of Digital Design Benchmarks* [Режимдоступа: <http://ddd.fit.cvut.cz/prj/Benchmarks/>]. **41.** *Yang S.* Logic Synthesis and Optimization Benchmarks: User Guide: Version 3.0. – Microelectronics Center of North Carolina (MCNC), 1991. 88 p. **42.** *SIS: A System for Sequential Circuit Synthesis* / E. M. Sentovich, K. J. Singh, L. Lavagno, C. Moon, R. Murgai, A. Saldanha, H. Savoj, P. R. Stephan, R. K. Brayton, A. Sangio-

vanni-Vincentelli // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May 1992. 45 p.

#### Transliterated bibliography:

1. *Parhomenko P.P., Sogomonyan E.S.* Osnovy tehnicheskoy diagnostiki (optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva). M.: Energoatomizdat, 1981, 320 s.
2. *Sogomonyan E.S., Slabakov E.V.* Samoproveryaemye ustroystva i otkazoustoychivyye sistemy. M.: Radio i svyaz, 1989. 208 s.
3. *Drozd A.V., Harchenko V.S., Antoschuk S.G., DrozdYu.V., Drozd M.A., SulimaYu.Yu.* Rabochee diagnostirovanie bezopasnykh informatsionno-upravlyayuschih sistem // Podred. A.V. Drozda i V.S. Harchenko. Harkov: Natsionalnyy aerokosmicheskyy universitetim. N.E. Zhukovskogo «HAi», 2012, 614 s.
4. *Kharchenko V., Kondratenko Yu., Kacprzyk J.* Green IT Engineering: Concepts, Models, Complex Systems Architectures // Springer Book series "Studies in Systems, Decision and Control", Vol. 74, 2017, 305 p. DOI: 10.1007/978-3-319-44162-7.
5. *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI – A Compendium of Approaches // Journal of Electronic Testing: Theory and Application, 1998, Vol. 12, issue 1-2, pp. 7-20. DOI: 10.1023/A:1008244815697.
6. *Mitra S., McCluskey E.J.* Which Concurrent Error Detection Scheme to Choose? // Proceedings of International Test Conference, 2000, USA, Atlantic City, NJ, 03-05 October 2000, pp. 985-994.
7. *Berger J.M.* A Note on Error Detecting Codes for Asymmetric Channels // Information and Control, 1961, Vol. 4, issue 1, pp. 68-73. DOI: 10.1016/S0019-9958(61)80037-5.
8. *Piastrak S.J.* Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
9. *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications // New Jersey: John Wiley & Sons, 2006, 720 p.
10. *Lala P.K.* Principles of Modern Digital Design. New-Jersey: John Wiley & Sons, 2007, 436 p.
11. *Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V.* Vzveshennyie kody s summirovaniem dlya organizatsii kontrolya logicheskikh ustroystv // Elektronnoe modelirovanie. 2014. Tom 36. #1. S. 59-80.
12. *Blyudov A.A., Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I.* O kodakh s summirovaniem edinichnykh razryadov v sistemah funktsionalnogo kontrolya // Avtomatika i telemekhanika. 2014. #8. S. 131-145.
13. *Freiman C.V.* Optimal Error Detection Codes for Completely Asymmetric Binary Channels // Information and Control, 1962, vol. 5, pp. 64-71. DOI: 10.1016/S0019-9958(62)90223-1.
14. *Borden J.M.* Optimal Asymmetric Error Detection Codes // Information and Control, 1982, vol. 53, issue 1-2, pp. 66-73. DOI: 10.1016/S0019-9958(82)91125-1.
15. *Tallini L., Merani L., Bose B.* Balanced Codes for Noise Reduction in VLSI System // Dig. Pap. 24<sup>th</sup> International FTC Symposium, Austin, TX, June 15-17, 1994, pp. 212-218.
16. *Busaba F.Y., Lala P.K.* Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // Journal of Electronic Testing: Theory and Applications, 1994, Vol. 5, issue 5, pp. 19-28.
17. *Das D., Toubia N.A.* Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes // Journal of Electronic Testing: Theory and Applications, 1999, Vol. 15, Issue 1-2, pp. 145-155. DOI: 10.1023/A:1008344603814.
18. *Das D., Toubia N.A., Seuring M., Gossel M.* Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes // Proceedings of the 6th IEEE International On-Line Testing Workshop (IOLTW), Spain, Palma de Mallorca, July 3-5, 2000, pp. 171-176. DOI: 10.1109/OLT.2000.856633.
19. *Ubar R., Raik J., Vierhaus H.-T.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source) // Information Science Reference, Hershey – New York, IGI Global, 2011, 578 p.
20. *Sapozhnikov V., Sapozhnikov V.I., Efanov D.* Modular Sum Code in Building Testable Discrete Systems // Proceedings of 13th IEEE East-West Design & Test Symposium (EWDT'S 2015), Batumi, Georgia, September 26-29, 2015, pp. 181-187. DOI: 10.1109/EWDT'S.2015.7493133.
21. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
22. *Sapozhnikov V.V., Sapozhnikov V.I.* Samoproveryaemye diskretnyye ustroystva. SPb: Energoatomizdat, 1992, 224 s.
23. *Gessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov V.I.* Logicheskoe dopolnenie – novyy metod kontrolya kombinatsionnykh shem // Avtomatika i telemekhanika. 2003. #1. S. 167-176.
24. *Gessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov V.I.* Kontrol kombinatsionnykh shem metodom logicheskogo dopolneniya // Avtomatika i telemekhanika. 2005. #8. S. 161-172.
25. *Carter W.C., Duke K.A., Schneider P.R.* Self-Checking Error Checker for Two-Rail Coded Data // United States Patent Office, filed July 25, 1968, ser. No. 747,533, patented Jan. 26, 1971, N. Y., 10 p.
26. *Huches J.L.A., McCluskey E.J., Lu D.J.* Design of Totally Self-Checking Comparators with an Arbitrary Number of Inputs // IEEE Transactions on Computers. 1984. Vol. C-33. No. 6. Pp. 546-550.
27. *Saposhnikov V.V., Morozov A., Sapozhnikov V.I., Göessel M.* Concurrent Checking by Use of Complementary Circuits for «1-out-of-3» Codes // 5th International Workshop IEEE DDECS 2002, Brno, Czech Republic, April 17-19, 2002.
28. *Sapozhnikov V.V., Sapozhnikov V.I.* O sintezepolnostyusamoproveryaemykh kombinatsionnykh shem // Izvestiya Peterburgskogo universiteta puty soobshcheniya. 2006. #1 S. 97-110.
29. *Das D.K., Roy S.S., Dmitriev A., Morozov A., Gössel M.* Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proceedings of the 10<sup>th</sup> International Workshops on Boolean Problems, Freiberg, Germany, September, 2012, pp. 33-40.
30. *Efanov D., Sapozhnikov V., Sapozhnikov V.I.* Methods of Organization of Totally Self-Checking Concurrent Error Detection System on the Basis of Constant-Weight «1-out-of-3»-Code // Proceedings of 14th IEEE East-West Design & Test Symposium (EWDT'S 2016), Yerevan, Armenia, October 14-17, 2016, pp. 117-125. DOI: 10.1109/EWDT'S.2016.7807622.
31. *Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V.* Postroenie polnostyu samoproveryaemykh struktur sistem funktsionalnogo kontrolya s ispolzovaniem ravnovesnogo koda «1 iz 3» // Elektronnoe modelirovanie. 2016. Tom 38. #6. S. 25-43.
32. *Sen S.K.* A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares // National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010), Sikkim Manipal Institute of Technology, Sikkim, held during 22-24 December, 2010.
33. *Saposhnikov V.V., Saposhnikov V.I., Morozov A., Osadtchi G., Gossel M.* Design of Totally Self-Checking Combinational Circuits by Use of Complementary Circuits // Proceedings of East-West Design & Test Workshop, Yalta, Ukraine, 2004, pp. 83-87.
34. *Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V., Pivovarov D.V.* Metod logicheskogo dopolneniya na osnoven ravnovesnogo koda «1 iz 4» dlya postroeniya polnostyu samoproveryaemykh struktur sistem funktsionalnogo kontrolya // Elektronnoe modelirovanie. 2017. Tom 39. #2.

35. Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. Metod funktsionalnogo kontrolya kombinatsionnykh logicheskikh ustroystv na osnovе koda «2 iz 4» // Izvestiya vuzov. Priborostroenie, 2016, T. 59, #7, S. 524-533. DOI 10.17586/0021-3454-2016-59-7-524-533.
36. Sapozhnikov V., Sapozhnikov V.I., Efanov D. Concurrent Error Detection of Combinational Circuits by the Method of Boolean Complement on the Base of «2-out-of-4» Code // Proceedings of 14th IEEE East-West Design & Test Symposium (EWDTS`2016), Yerevan, Armenia, October 14-17, 2016, pp. 126-133. DOI: 10.1109/EWDTS.2016.7807677.
37. Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. Postroeniye samoproveryayemykh struktursistem funktsionalnogo kontrolya na osnovе ravnesnogo koda «2 iz 4» // Problemy upravleniya. 2017. #1. S. 57-64.
38. Aksyonova G.P. Neobhodimyie i dostatochnyie usloviya postroeniya polnostyu proveryaemykh shem sverkipomodulyudva // Avtomatika i telemekhanika. 1979. #9. S. 126-135.
39. Sapozhnikov V.V., Rabara V. Universalnyy algoritm sinteza 1/n-testerov // Problemy i peredachi informatsii. 1982. Tom. 18, #3. S. 62-73.
40. *Collection of Digital Design Benchmarks* [Режим доступа: <http://ddd.fit.cvut.cz/prj/Benchmarks/>].
41. Yang S. Logic Synthesis and Optimization Benchmarks: User Guide: Version 3.0. Microelectronics Center of North Carolina (MCNC), 1991, 88 p.
42. SIS: A System for Sequential Circuit Synthesis / E. M. Sentovich, K. J. Singh, L. Lavagno, C. Moon, R. Murgai, A. Saldanha, H. Savoj, P. R. Stephan, R. K. Brayton, A. Sangiovanni-Vincentelli // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May 1992, 45 p.

Поступила в редакцию 22.03.2017

**Рецензент:** д-р техн. наук, проф. Кривуля Г.Ф.

**Сапожников Валерий Владимирович**, д-р техн. наук, профессор кафедры «Автоматика и теlemekhanika на железных дорогах» Петербургского государственного универси-

тета путей сообщения Императора Александра I. Окончил Ленинградский институт инженеров железнодорожного транспорта в 1963 г. Научные интересы: надежный синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем. Адрес: Россия, Санкт-Петербург, Московский пр., 9, тел.: +7 (812) 310-1097.

**Сапожников Владимир Владимирович**, д-р техн. наук, профессор кафедры «Автоматика и теlemekhanika на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. Окончил Ленинградский институт инженеров железнодорожного транспорта в 1963 г. Научные интересы: надежный синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем. Адрес: Россия, Санкт-Петербург, Московский пр., 9, тел.: +7 (812) 310-0788.

**Ефанов Дмитрий Викторович**, канд. техн. наук, доцент кафедры «Автоматика и теlemekhanika на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. Окончил Петербургский государственный университет путей сообщения в 2007 г. Научные интересы: дискретная математика, надежность и техническая диагностика дискретных систем. Адрес: Россия, Санкт-Петербург, Московский пр., 9, тел.: +7 (812) 457-8579, +7 (911) 709-2164, email: [TrES-4b@yandex.ru](mailto:TrES-4b@yandex.ru)

**Пивоваров Дмитрий Вячеславович**, аспирант кафедры «Автоматика и теlemekhanika на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. Окончил Петербургский государственный университет путей сообщения в 2016 г. Научные интересы: дискретная математика, техническая диагностика дискретных систем. Адрес: Россия, Санкт-Петербург, Московский пр., 9, тел.: +7 (812) 457-8579, +7 (911) 772-5099, email: [pivovarov.d.v.spb@gmail.com](mailto:pivovarov.d.v.spb@gmail.com)